

## Semiconductor device having a flash memory cell and fabrication method thereof

**Patent number:** DE10203762  
**Publication date:** 2002-08-22  
**Inventor:** KIM DONG-JUN (KR); KIM JIN-HO (KR); LEE YONG-KYU (KR); CHO MIN-SOO (KR); RYU EUI-YOUL (KR)  
**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)  
**Classification:**  
- international: H01L27/115; H01L21/8247  
- european: H01L21/8247M2; H01L27/115; H01L29/423D2B2B  
**Application number:** DE20021003762 20020125  
**Priority number(s):** KR20010004588 20010131

Also published as:

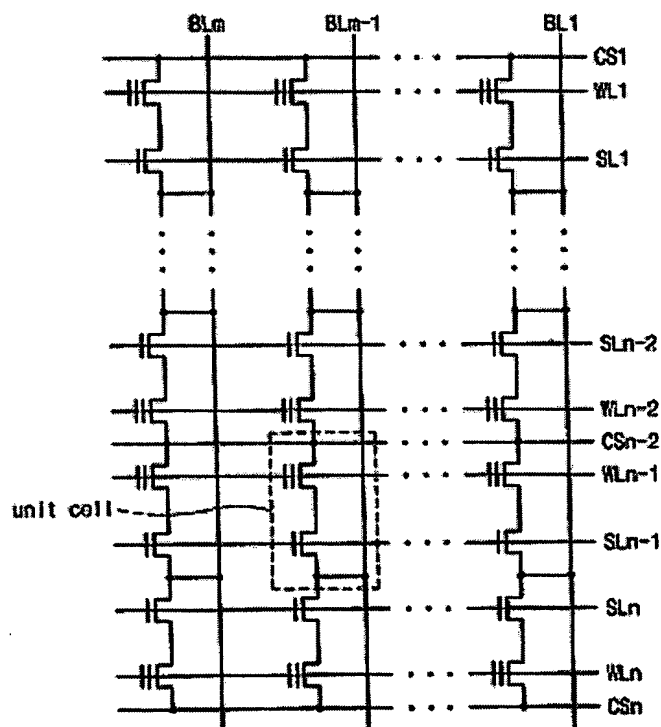
US 6784476 (B2)  
US 2002100926 (A1)  
J P2002289714 (A)

Report a data error here

Abstract not available for DE10203762

Abstract of corresponding document: **US2002100926**

In a non-volatile semiconductor memory device and a fabrication method thereof, a charge storage layer is formed on a substrate. A control gate layer is formed on the charge storage layer. A gate mask having a spacer-shape is formed on the control gate layer. The charge storage layer and the control gate layer are removed using the gate mask as protection to form a control gate and a charge storage region.



BEST AVAILABLE COPY

Data supplied from the esp@cenet database - Worldwide



18 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 **Offenlegungsschrift**  
10 **DE 102 03 762 A 1**

51 Int. Cl.<sup>7</sup>:  
**H 01 L 27/115**  
H 01 L 21/8247

2  
DE 102 03 762 A 1

21 Aktenzeichen: 102 03 762.0  
22 Anmeldetag: 25. 1. 2002  
43 Offenlegungstag: 22. 8. 2002

30 Unionspriorität:  
2001-04588 31. 01. 2001 KR  
71 Anmelder:  
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR  
74 Vertreter:  
Patentanwälte Ruff, Wilhelm, Beier, Dauster &  
Partner, 70174 Stuttgart

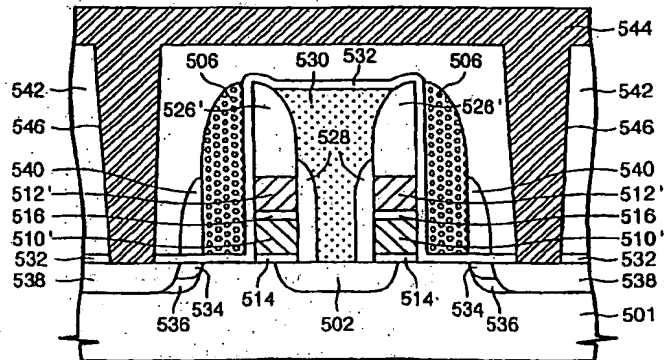
72 Erfinder:  
Kim, Dong-Jun, Suwon, Kyonggi, KR; Kim, Jin-Ho,  
Seoul/Soul, KR; Lee, Yong-Kyu, Suwon, Kyonggi,  
KR; Cho, Min-Soo, Sungnam, Kyonggi, KR; Ryu,  
Eui-Youl, Daejeon, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Nichtflüchtiges Halbleiterspeicherbauelement und Verfahren zu seiner Herstellung

57 Die Erfindung bezieht sich auf ein nichtflüchtiges Halbleiterspeicherbauelement und einem Substrat (501), einem Ladungsspeicherbetrieb (514, 510', 516) auf dem Substrat und einer Steuergate-Elektrode (512') auf dem Ladungsspeicherbereich sowie auf ein Verfahren zur Herstellung eines solchen Bauelements.  
Erfindungsgemäß ist eine abstandshalterförmige Gate-Maske (526') über der Steuergate-Elektrode und/oder eine Auswahlgate-Elektrode (506) über dem Kanal und zwischen dem Ladungsspeicherbereich und einem Drain-Bereich vorgesehen.  
Verwendung z. B. für Flash-Speicherbauelemente.



DE 102 03 762 A 1

[0001] Die Erfindung bezieht sich auf ein nichtflüchtiges Halbleiterspeicherbauelement nach dem Oberbegriff des Anspruchs 1 bzw. 10 und auf ein Herstellungsverfahren hierfür.

[0002] Als ein fortgeschrittener Typ von nichtflüchtigen Speicherbauelementen sind Flash-Speicherbauelemente bekannt, die sehr rasch elektrisch gelöscht werden können, ohne von einer Leiterplatte abgenommen werden zu müssen, und die in ihren Speicherzellen gespeicherte Informationen auch dann behalten, wenn sie nicht mit Leistung versorgt werden. In der Flash-Speichertechnologie wurden ständig Verbesserungen erzielt, die zu verschiedenen Zellenstrukturen geführt haben, wie Stapelgate-Zellen, Zellen mit Injektion auf der Source-Seite und andere Zellentypen, siehe die Patentschrift US 5.455.792.

[0003] Die Stapelgate-Zelle besitzt übereinander gestapelt eine floatende, d. h. potentialmäßig schwebende Gate-Elektrode und eine Steuergate-Elektrode. In der Patentschrift US 4.698.787 wird eine Stapelgate-Zelle vorgeschlagen, wie sie in Fig. 1 veranschaulicht ist. Wie daraus ersichtlich, ist die Zelle auf einem Substrat 101 gebildet und benutzt eine Kanalinjektion heißer Elektronen zum Programmieren der Zelle auf der Seite eines Drain-Bereichs 104 sowie Fowler-Nordheim(F-N)-Tunneln zum Löschen auf der Seite eines Source-Bereichs 102. Diese Stapelgate-Zelle wurde überwiegend als eine Einheitszelle für Flash-Speicherbauelemente verwendet, wobei ein Vorteil ihre geringe Zellabmessung ist. Weitere jüngere Beispiele von Stapelgate-Zellen sind in einem Aufsatz von H. Watanabe et al. mit dem Titel "Novel 0.44  $\mu\text{m}^2$  Ti-salicide STI cell technology for high-density NOR flash memories and high performance embedded application", 1998 IEDM Technical Digest, S. 975 und in der Offenlegungsschrift KR 99-48775 offenbart.

[0004] Die Stapelgate-Zelle weist jedoch als ein hauptsächliches Problem ein sogenanntes Überlöschproblem auf. Das Überlöschproblem tritt in Stapelgate-Zellen in der Form auf, dass während des Löschvorgangs die floatende Gate-Elektrode 110 von Fig. 1 übermäßig entladen wird. Die Schwellenspannungen von auf diese Weise übermäßig gelöschten Zellen sind negativ, und solche Zellen leiten Strom, selbst wenn sie nicht durch eine an die Steuergate-Elektrode 112 angelegte Lesespannung ausgewählt sind.

[0005] Um das Überlöschproblem zu lösen, sind bereits zwei unterschiedliche Zelltypen vorgeschlagen worden, zum einen eine Zweitransistor-Zellstruktur, wie in der Patentschrift US 4.558.344 offenbart, zum anderen eine Zelle mit gesplitteter Gate-Elektrode, wie in der Patentschrift US 4.783.766 offenbart. In der US 4.558.344 wird ein Auswahltransistor verwendet, wobei eine Auswahlgate-Elektrode in der Zelle den Leckstrom aus einer zu stark gelöschten, floatenden Gate-Elektrode blockiert, wenn die Zelle nicht ausgewählt ist. In ähnlicher Weise löst die Zelle mit gesplitteter Gate-Elektrode gemäß US 4.783.766 das besagte Problem dadurch, dass unter einer Steuergate-Elektrode ein Auswahlgate-Elektrodenanteil eines Kanals vorgesehen wird. Der Auswahlgate-Elektrodenanteil hat die Funktion, den vom floatenden Gate-Elektrodenanteil des Kanals unter einer zu stark gelöschten floatenden Gate-Elektrode kommenden Leckstrom zu blockieren, wenn die Steuergate-Elektrode sperrend geschaltet ist.

[0006] Bei der Zelle mit gesplitteter Gate-Elektrode verbleibt als hauptsächliche Schwierigkeit ihre geringe Programmier-effizienz. Zellen mit gesplitteter Gate-Elektrode werden durch das herkömmliche Verfahren der Kanalinjektion heißer Elektronen programmiert, das eine sehr geringe

effizienz führt zu unnötigem, zusätzlichem Leistungsverbrauch und verhindert ein schnelleres Programmieren.

[0007] Um die Effizienz der Injektion heißer Elektronen in die floatende Gate-Elektrode zu verbessern, wurde der Zelltyp mit Injektion auf der Source-Seite (SSI) von Wu et al., wie in der Patentschrift US 4.794.565 offenbart, und Mar et al., wie in der Patentschrift US 5.280.446 offenbart, eingeführt. Die in US 4.794.565 beschriebene SSI-Zelle ist auf einem Substrat 201 mit einem Source-Bereich 202 und einem Drain-Bereich 204 gebildet, wie in der vorliegenden Fig. 2 veranschaulicht. Auf der Source-Seite der herkömmlichen Stapelgate-Struktur ist eine Auswahlgate-Elektrode 206, oft als Seitenwand-Gate bezeichnet, angeordnet, um die Injektion heißer Elektronen aus der Source-Elektrode 202 in die floatende Gate-Elektrode 210 zu induzieren, wenn an eine Steuergate-Elektrode 212 eine hohe Spannung angelegt wird. Es wurde berichtet, dass damit deutliche Verbesserungen der Programmier-effizienz realisiert wurden, indem die Injektion heißer Elektronen bei der Zelle mit Injektion auf der Source-Seite in der Größenordnung von 1.000 bis 10.000 Mal effektiver als die herkömmliche Kanalinjektion heißer Elektronen ist.

[0008] Des weiteren wurde bereits ein neuer Typ nichtflüchtiger Speicherzellen vorgeschlagen, der eine Metall-Oxid-Nitrid-Oxid-Halbleiter(MONOS)-Struktur besitzt, um die Programmierspannung zu reduzieren. Die MONOS-Zelle beinhaltet eine dünne dielektrische Schicht, die aus einer unteren Siliziumoxidschicht als einer Tunneloxidschicht, eine Siliziumnitridschicht und eine obere Siliziumoxidschicht als einer Deckoxidschicht besteht. Die dünne dielektrische Schicht ist zwischen ein Halbleitersubstrat und eine Steuergate-Elektrode eingebracht. Die MONOS-Zelle besitzt einen logischen Zustand "0", wenn Elektronen in der Siliziumnitridschicht eingefangen sind. Sie besitzt den anderen logischen Zustand "1", wenn keine Elektronen in der Siliziumnitridschicht eingefangen sind. In der Patentschrift US 5.930.631 ist ein Beispiel einer solchen MONOS-Zelle offenbart, wie sie in der vorliegenden Fig. 3 veranschaulicht ist. Wie daraus ersichtlich, besitzt diese Zelle einen Source-Bereich 402, einen Drain-Bereich 404 und einen zwischenliegenden Kanal in einem Substrat 401. Auf dem Substrat 401 ist eine Auswahlgate-Elektrode 406 gebildet. Auf der Auswahlgate-Elektrode 406 und dem Substrat 401 ist eine Oxid/Nitrid/Oxid(ONO)-Schicht 420 gebildet. Auf der ONO-Schicht ist eine Steuergate-Elektrode 408 gebildet. Für den Drain-Bereich wird eine Struktur mit schwach dotierter Drain (LDD) verwendet, um die Anzahl heißer Ladungsträger nahe des Drain-Übergangs zu verringern. Im Programmiermodus tunneln heiße Ladungsträger zu der ONO-Schicht 420 und werden in der Nitridschicht eingefangen. Um dies zu erreichen, sind die Steuergate-Elektrode 408, die Auswahlgate-Elektrode 406 und der Drain-Bereich 404 positiv vorgespannt, während der Source-Bereich 402 geerdet ist. Im Löschmodus tunneln Ladungsträger aus der ONO-Schicht 420 zum Drain-Bereich 404. Im Löschmodus befindet sich der Drain-Bereich 404 auf einer hohen Spannung, während die Auswahlgate-Elektrode 406 sperrend geschaltet ist. Die Auswahlgate-Elektrode 406 dient dazu, Leistung einzusparen, indem das Bauelement gelöscht wird, ohne dass dies einen Stromfluss durch den Kanal des Bauelements verursacht.

[0009] Der Erfindung liegt als technisches Problem die Bereitstellung eines nichtflüchtigen Halbleiterspeicherbauelementes mit vergleichsweise geringer Zellabmessung und vergleichsweise niedrigem Leistungsverbrauch während eines Programmier-vorgangs sowie eines Verfahrens zur Herstellung eines derartigen Bauelements zugrunde.

[0010] Die Erfindung löst dieses Problem durch die Be-

reitstellung eines nichtflüchtigen Halbleiterspeicherbauelementes mit den Merkmalen des Anspruchs 1 oder 10 sowie eines Herstellungsverfahrens mit den Merkmalen des Anspruchs 18.

[0011] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0012] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren besserem Verständnis oben erläuterten, herkömmlichen Ausführungsbeispiele sind in den Zeichnungen dargestellt, in denen zeigen:

[0013] Fig. 1 eine schematische Querschnittansicht einer Stapelgate-Zelle eines herkömmlichen Flash-Speicherbauelementes,

[0014] Fig. 2 eine schematische Querschnittansicht einer Zelle mit Injektion auf der Source-Seite (SSI) eines herkömmlichen Flash-Speicherbauelementes,

[0015] Fig. 3 eine schematische Querschnittansicht einer MONOS-Zelle eines herkömmlichen Flash-Speicherbauelementes,

[0016] Fig. 4 ein Schaltbild eines Flash-Speicherzellenfeldes einer ersten und zweiten erfindungsgemäßen Ausführungsform,

[0017] Fig. 5 eine schematische Draufsicht auf Flash-Speicherzellen gemäß der ersten erfindungsgemäßen Ausführungsform,

[0018] Fig. 6 eine schematische Querschnittansicht der Flash-Speicherzellen gemäß der ersten erfindungsgemäßen Ausführungsform,

[0019] Fig. 7A bis 7J schematische Querschnittansichten aufeinanderfolgender Herstellungsstufen für die Flash-Speicherzellen gemäß der ersten erfindungsgemäßen Ausführungsform,

[0020] Fig. 8A bis 8J schematische Draufsichten auf die Flash-Speicherzellen für die aufeinanderfolgenden Herstellungsstufen der ersten erfindungsgemäßen Ausführungsform entsprechend den Fig. 7A bis 7J und

[0021] Fig. 9 A bis 9 J schematische Querschnittansichten zur Veranschaulichung aufeinanderfolgender Herstellungsstufen für die Speicherzellen gemäß der zweiten erfindungsgemäßen Ausführungsform.

[0022] Fig. 4 veranschaulicht im Schaltbild ein Feld von erfindungsgemäßen Flash-Speicherzellen. Dieses erfindungsgemäße Flash-Halbleiterspeicherbauelement beinhaltet eine Mehrzahl von matrixförmig angeordneten Flash-Speicherzellen, d. h. die Zellen sind in Zeilen und Spalten angeordnet. Eine Einheitszelle ist jeweils an den Schnittpunkten einer jeweiligen Wortleitung (WL) mit einer jeweiligen Bitleitung (BL) in der Matrix positioniert. Die Gesamtanzahl an Zellen in der Matrix beträgt  $m \cdot n$ , mit  $m$  als der Anzahl von Zellen in der Zeilenrichtung und  $n$  als der Anzahl von Zellen in der Spaltenrichtung. Die Einheitszellen sind gemäß einer ersten bzw. einer zweiten erfindungsgemäßen Ausführungsform realisiert, worauf weiter unten eingegangen wird. Die Bitleitungen BL erstrecken sich in der Spaltenrichtung, und die Wortleitungen WL erstrecken sich in der Zeilenrichtung. Des weiteren beinhaltet das Zellenfeld eine Mehrzahl von Auswahlleitungen SL und eine Mehrzahl von gemeinsamen Source-Leitungen CS, die sich jeweils in der Zellenrichtung erstrecken. Die Wortleitungen WL und die Auswahlleitungen SL sind in der Spaltenrichtung symmetrisch zur jeweils zugehörigen, gemeinsamen Source-Leitung CS angeordnet. Dabei teilen sich zwei benachbarte Einheitszellen jeweils eine gemeinsame Source-Leitung, wobei beide Einheitszellen eine symmetrische Struktur besitzen, wie weiter unten erläutert.

[0023] Fig. 5 veranschaulicht in der Draufsicht die Flash-Speicherzellen gemäß der ersten erfindungsgemäßen Aus-

führungsform, während Fig. 6 eine Querschnittansicht längs der Linie I-I' von Fig. 5 darstellt. In den Fig. 5 und 6 sind zwei Einheitszellen gezeigt, die bezüglich einer Source-Elektrode 530 und einem Source-Bereich 502 symmetrisch angeordnet sind, d. h. die Source-Elektrode 530 und der Source-Bereich 502 sind Bestandteil jeder der beiden Einheitszellen. Wie aus Fig. 6 ersichtlich, beinhaltet die eine Einheitszelle Elemente auf der linken Seite der Source-Elektrode 530 und des Source-Bereichs 502, während die andere Einheitszelle Elemente auf deren rechter Seite enthält. Die planare Struktur der zwei Einheitszellen von Fig. 5 wiederholt sich in der Zeilen- und in der Spaltenrichtung zur Bildung des Zellenfeldes.

[0024] Wie weiter aus Fig. 6 ersichtlich, beinhaltet ein Substrat 501 eines ersten Leitfähigkeitstyps leitfähige Bereiche in Form des Source-Bereichs 502 und eines Drain-Bereichs, die voneinander durch einen Kanal beabstandet sind. Die leitfähigen Bereiche bestehen aus störrstellendotierten Zonen. Der Drain-Bereich weist einen LDD-Bereich 534, einen Halo-Bereich 536 und einen hoch dotierten Bereich 538 auf. Der Source-Bereich 502 ist von einem zum ersten entgegengesetzten zweiten Leitfähigkeitstyp. Sowohl der LDD-Bereich 534 als auch der hoch dotierte Bereich 538 sind vom zweiten Leitfähigkeitstyp. Jedoch besitzt der LDD-Bereich 534 eine niedrigere Dotierkonzentration und eine flachere Übergangstiefe als der hoch dotierte Bereich 538. Der Halo-Bereich 536 ist vom ersten Leitfähigkeitstyp und befindet sich unter dem LDD-Bereich 534.

[0025] Auf dem Kanal ist benachbart zum Source-Bereich 502 ein Ladungsspeicherbereich angeordnet, der eine dielektrische Schicht 514 einer floatenden Gate-Elektrode, die zugehörige floatende Gate-Elektrode 510' und eine dielektrische Polysilizium-Zwischenschicht 516 umfasst. Auf dem Ladungsspeicherbereich sind nacheinander eine Steuergate-Elektrode 512' und eine Gate-Maske 526' übereinander gestapelt. Die Gate-Maske 526' besitzt eine in Fig. 6 gezeigte Abstandshaltergestalt. Auf einer Seitenwand des Ladungsspeicherbereichs und der Steuergate-Elektrode 512' befindet sich ein source-seitiger Abstandshalter 528. Die Source-Elektrode 530 kontaktiert elektrisch den Source-Bereich 502 und ist durch den source-seitigen Abstandshalter 528 vom Ladungsspeicherbereich und der Steuergate-Elektrode 512' beabstandet und elektrisch isoliert. Eine dielektrische Auswahlgate-Schicht 532 ist auf einer anderen Seitenwand des Ladungsspeicherbereichs, auf der Steuergate-Elektrode 512' und auf einem Teil des Kanals gebildet. Auf der dielektrischen Auswahlgate-Schicht 532 befindet sich eine Auswahlgate-Elektrode 506, welche die Gestalt eines lateralen Abstandshalters aufweist. Auf einer Seitenwand der Auswahlgate-Elektrode 506 ist ein LDD-Abstandshalter 540 gebildet. In einer Isolationsschicht 542 ist ein Bitleitungskontakt 546 gebildet. Auf der Isolationsschicht 542 und im Bitleitungskontakt 546 ist eine Bitleitungselektrode 544 gebildet, welche den Drain-Bereich elektrisch kontaktiert.

[0026] Wie aus Fig. 5 ersichtlich, erstreckt sich ein aktiver Bereich 548 in der Spaltenrichtung zu benachbarten Zellen im Substrat 501. Der aktive Bereich 548 ist von anderen, benachbarten aktiven Bereichen durch zwischenliegende, nicht gezeigte Isolationsbereiche isoliert. Der aktive Bereich 548 umfasst den Source-Bereich 502, den Kanal und den Drain-Bereich. Die floatende Gate-Elektrode 510' ist von anderen Elementen der Zelle isoliert und erstreckt sich nicht zu benachbarten Zellen. Die Steuergate-Elektrode 512', die Gate-Maske 526', der source-seitige Abstandshalter 528, die Source-Elektrode 530, die Auswahlgate-Elektrode 506 und der LDD-Abstandshalter 540 erstrecken sich Zeilenrichtung zu benachbarten Zellen. Die Wortleitung WL besteht aus der Steuergate-Elektrode 512'. Die gemeinsame Source-Leitung

CS besteht aus der Source-Elektrode 530. Die Auswahlleitung SL besteht aus der Auswahlgate-Elektrode 506. Die Bitleitung BL besteht aus der Bitleitungselektrode, die sich in nicht näher gezeigter Weise in Spaltenrichtung zu benachbarten Zellen erstreckt.

[0027] In einer zweiten Realisierung der Erfindung besteht der Ladungsspeicherbereich aus einer ONO-Schicht auf dem Substrat, die sich wie die Steuergate-Elektrode in Zeilenrichtung zu benachbarten Zellen erstreckt. Im übrigen entspricht diese zweite Ausführungsform der oben erläuterten, ersten Ausführungsform der Erfindung.

[0028] Für Programmiervorgänge der Zellen der ersten und zweiten erfindungsgemäßen Ausführungsform kann beispielsweise die Technik der Kanalinjektion heißer Elektronen verwendet werden. Dabei werden die Elektronen in der floatenden Gate-Elektrode 510' oder der Nitridschicht der ONO-Schichtfolge eingefangen, indem ein Satz positiver Programmierspannungen an die Wortleitung WL und die Bitleitung BL angelegt wird. Das Anlegen einer positiven Auswahlspannung an die Auswahlleitung SL begrenzt den Strom zwischen dem Source-Bereich 520 und dem Drain-Bereich. Dadurch kann ein hoher Stromverbrauch verhindert werden. Die Auswahlspannung induziert außerdem ein starkes laterales elektrisches Feld im Kanal benachbart zu einem Grenzgebiet zwischen der Auswahlgate-Elektrode 506 und dem Ladungsspeicherbereich, wodurch die Programmier-effizienz gesteigert wird. Die Auswahlspannung ist hoch genug, um eine Inversion im Kanal unter der Auswahlgate-Elektrode 506 zu induzieren.

[0029] Für Löschvorgänge der Zellen kann beispielsweise eine Technik der Injektion heißer Löcher verwendet werden. Hierbei werden heiße Löcher in der floatenden Gate-Elektrode 510' oder der Nitridschicht der ONO-Schichtfolge eingefangen, indem eine positive Löschspannung an die Bitleitung BL angelegt wird. Die Wortleitung WL ist geerdet. Außerdem steigert das Anlegen einer weiteren positiven Auswahlspannung an die Auswahlgate-Elektrode 506 die Injektion durch Beschleunigung der heißen Löcher.

[0030] Die Fig. 7A bis 7J veranschaulichen zusammen mit den jeweils zugehörigen Fig. 8A bis 8J schematisch ein Verfahren zur Herstellung der Flash-Speicherzellen der ersten erfindungsgemäßen Ausführungsform, wobei die Fig. 8A bis 8J schematische Draufsichten auf den entsprechenden Bauelementausschnitt und die Fig. 7A bis 7J die zugehörigen schematischen Querschnittsansichten längs der Linie II-II' der Fig. 8A bis 8J wiedergeben.

[0031] Die Fig. 7A und 8A veranschaulichen das Anfangsstadium des Herstellungsprozesses, bei dem ein Substrat 501 mit Störstellen eines ersten Leitfähigkeitstyps, z. B. Bor, dotiert wird. Im Substrat 501 wird unter Verwendung des herkömmlichen LOCOS-Verfahrens oder des herkömmlichen Grabenisolationsverfahrens ein aktiver Bereich 548 erzeugt, der sich in Spaltenrichtung zu den benachbarten Zellen erstreckt. Auf dem Substrat wird eine dielektrische Schicht 514 für die floatende Gate-Elektrode gebildet, die vorzugsweise aus Siliziumdioxid, das durch thermische Oxidation des Substrats 501 erzeugt wird, oder Siliziumoxinitrid besteht, das durch chemische Gasphasenabscheidung (CVD) erzeugt wird. Auf der dielektrischen Schicht 514 wird eine Schicht 510 für die floatende Gate-Elektrode gebildet und unter Verwendung eines Photolithographie- und Ätzverfahrens derart strukturiert, dass sie sich in Spaltenrichtung zu benachbarten Zellen erstreckt. Die floatende Gate-Elektroden-schicht 510 besteht vorzugsweise aus dotiertem polykristallinem Silizium oder Polycid. Eine dielektrische Polysilizium-Zwischenschicht 516 wird auf der floatenden Gate-Elektroden-schicht 510 gebildet, vorzugsweise aus Siliziumdioxid oder der ONO-Schicht mittels CVD. Die

dielektrische Schicht 514, die floatende Gate-Elektroden-schicht 510 und die dielektrische Polysilizium-Zwischenschicht 516 bilden eine Ladungsspeicherschicht. Auf der dielektrischen Polysilizium-Zwischenschicht 516 wird eine Steuergate-Elektroden-schicht 512 gebildet, bevorzugt aus dotiertem polykristallinem Silizium oder Polycid.

[0032] Im Herstellungsstadium der Fig. 7B und 8B wird auf der Steuergate-Elektroden-schicht 512 eine temporäre Schicht gebildet, vorzugsweise aus Siliziumnitrid. Die temporäre Schicht wird unter Verwendung eines Photolithographie- und Ätzverfahrens strukturiert, um temporäre Strukturen 524 auf der Steuergate-Elektroden-schicht 512 zu erzeugen. Die temporären Strukturen 524 sind voneinander um eine Entfernung beabstandet, die sich in Zeilenrichtung zu benachbarten Zellen erstreckt. In einem Oberflächenbereich des Substrats 501 können bei Bedarf Störstellen, wie Arsen oder Phosphor, unter Verwendung der temporären Strukturen 524 als Implantationsmasken implantiert werden, um die Dotierkonzentration des ersten Leitfähigkeitstyps, z. B. Bor, im Oberflächenbereich zu verringern. Bei diesem Vorgang durchdringt die Implantation die dielektrische Schicht 514 für die floatende Gate-Elektrode, die floatende Gate-Elektroden-schicht 510, die dielektrische Polysilizium-Zwischenschicht 516 und die Steuergate-Elektroden-schicht 512. Diese Implantation kann die Programmier-effizienz im Kanal während des Programmier-vorgangs erhöhen. Zusätzliche Störstellen, wie Arsen oder Phosphor, können bei Bedarf in die Steuergate-Elektroden-schicht 512 unter Verwendung der temporären Strukturen 524 als Implantationsmasken implantiert werden. Diese zusätzliche Implantation kann die Leitfähigkeit der Steuergate-Elektroden-schicht 512 erhöhen.

[0033] Im Herstellungsstadium der Fig. 7C und 8C wird auf der resultierenden Struktur eine Gate-Maskenschicht 526 gebildet, vorzugsweise aus Siliziumdioxid mit einer vorgebbaren Dicke.

[0034] Im Herstellungsstadium der Fig. 7D und 8D wird die Gate-Maskenschicht 526 anisotrop geätzt, um abstandshalterförmige Gate-Masken 526' auf der Steuergate-Elektroden-schicht 512 und an Seitenwänden der temporären Strukturen 524 zu erzeugen. Die Gate-Masken 526' erstrecken sich in Zeilenrichtung zu den benachbarten Zellen. Anschließend werden die dielektrische Schicht 514 für die floatende Gate-Elektrode, die floatende Gate-Elektroden-schicht 510, die dielektrische Polysilizium-Zwischenschicht 516 und die Steuergate-Elektroden-schicht 512 unter Verwendung der Gate-Masken 526' und der temporären Strukturen 524 als Ätzmasken geätzt, wodurch das Substrat 501 im entsprechenden Bereich freigelegt und ein Source-Kontakt 550 gebildet wird. Durch Implantieren von Arsenionen in das Substrat 501 unter Verwendung der Gate-Masken 526' und der temporären Strukturen 514 als Implantationsmasken wird ein Source-Bereich 502 erzeugt. Bei Bedarf kann ein Tempervorgang durchgeführt werden, um Störstellen des Source-Bereichs 502 zu aktivieren.

[0035] Im Herstellungsstadium der Fig. 7E und 8E wird auf die resultierende Struktur eine source-seitige Abstandshalter-schicht aufgebracht, die bevorzugt aus Siliziumdioxid besteht. Die source-seitige Abstandshalter-schicht wird anisotrop geätzt, um source-seitige Abstandshalter 528 an Seitenwänden der dielektrischen Schicht 514 für die floatende Gate-Elektrode, der floatenden Gate-Elektroden-schicht 510, der dielektrischen Polysilizium-Zwischenschicht 516 und der Steuergate-Elektroden-schicht 512 zu erzeugen. Die source-seitigen Abstandshalter 528 erstrecken in Zeilenrichtung zu benachbarten Zellen.

[0036] Im Herstellungsstadium der Fig. 7F und 8F wird auf die resultierende Struktur eine Source-Elektroden-

schicht aufgebracht, wodurch der Source-Kontakt 550 gefüllt wird. Die Source-Elektrodenschicht besteht vorzugsweise aus Wolfram oder dotiertem polykristallinem Silizium. Die Source-Elektrodenschicht wird zurückgeätzt oder durch ein Verfahren chemisch-mechanischen Polierens (CMP) poliert, so dass im Source-Kontakt 550 eine Source-Elektrode 530 entsteht, die sich in Zeilenrichtung zu den benachbarten Zellen erstreckt.

[0037] Im Herstellungsstadium der Fig. 7G und 8G werden die temporären Strukturen 524 durch ein Trocken- oder ein Nassätzverfahren entfernt.

[0038] Im Herstellungsstadium der Fig. 7H und 8H werden die dielektrische Schicht 514 für die floatende Gate-Elektrode, die floatende Gate-Elektrodenschicht 510, die dielektrische Polysilizium-Zwischenschicht 516 und die Steuergate-Elektrodenschicht 512 erneut unter Verwendung der Gate-Masken 526' und der Source-Elektrode 530 als Ätzmasken geätzt. Dadurch werden Steuer-Gateelektroden 512' und Ladungsspeicherbereiche mit floatenden Gate-Elektroden 510' erzeugt, und ein Teil des Substrats wird freigelegt. Während dieses Ätzvorgangs kann optional ein Teil der Source-Elektrode 530 geätzt werden, in der dann eine entsprechende Ausnehmung gebildet wird. Die Steuergate-Elektroden 512' und die floatenden Gate-Elektroden 510' erstrecken sich in Zeilenrichtung zu den benachbarten Zellen. Anschließend wird auf der resultierenden Struktur eine dielektrische Auswahlgate-Schicht 532 gebildet, vorzugsweise aus CVD-Siliziumdioxid. Vor der Bildung der dielektrischen Auswahlgate-Schicht 532 kann bei Bedarf eine dünne thermische Oxidschicht auf dem freiliegenden Teil des Substrats gebildet werden.

[0039] Im Herstellungsstadium der Fig. 7I und 8I wird auf der resultierenden Struktur eine Auswahlgate-Schicht aufgebracht, vorzugsweise aus dotiertem polykristallinem Polysilizium. Die Auswahlgate-Schicht wird anisotrop geätzt, um abstandshalterförmige Auswahlgate-Elektroden 506 an Seitenwänden der Steuergate-Elektroden 512' und der floatenden Gate-Elektroden 510' zu erzeugen. Die Auswahlgate-Elektroden 506 erstrecken sich in Zeilenrichtung zu den benachbarten Zellen. Danach werden im Substrat 510 unter Verwendung einer Phosphorionenimplantation LDD-Bereiche 534 erzeugt, und unter den LDD-Bereichen 534 werden unter Verwendung einer Borionenimplantation Halo-Bereiche 536 erzeugt. Bei diesen Ionenimplantationen werden die Auswahlgate-Elektroden 506 als Implantationsmasken verwendet.

[0040] Im Herstellungsstadium der Fig. 7J und 8J wird auf die resultierende Struktur eine LDD-Abstandshalterschicht aufgebracht, vorzugsweise aus Siliziumdioxid. Die LDD-Abstandshalterschicht wird anisotrop geätzt, um LDD-Abstandshalter 540 an Seitenwänden der Auswahlgate-Elektroden 506 zu erzeugen. Die LDD-Abstandshalter 540 erstrecken sich in Zeilenrichtung zu benachbarten Zellen. Im Substrat 510 werden unter Verwendung einer Arsenionenimplantation stark dotierte Bereiche 538 erzeugt, deren Störstellenkonzentration viel höher als diejenige der LDD-Bereiche 534 und der Halo-Bereiche 536 ist. Die stark dotierten Bereiche 538 sind dabei so gebildet, dass sie einen Teil der LDD-Bereiche 534 und der Halo-Bereiche 536 kompensieren, wie gezeigt. Bei dieser Ionenimplantation werden die Auswahlgate-Elektroden 506 und die LDD-Abstandshalter 540 als Implantationsmasken benutzt. Der LDD-Bereich 534, der Halo-Bereich 536 und der stark dotierte Bereich 538 bilden einen Drain-Bereich.

[0041] Anschließend wird ein herkömmlicher Metallisierungsprozess durchgeführt. Dabei wird auf die resultierende Struktur eine Isolationsschicht aufgebracht, in die dann durch ein Photolithographie- und Ätzverfahren Bitleitungs-

kontakte eingebracht werden, welche die Drain-Bereiche freilegen. Auf der resultierenden Struktur wird ein Bitleitungsmetall, z. B. aus Aluminium, abgeschieden. Das Bitleitungsmetall wird durch ein Photolithographie- und Ätzverfahren strukturiert, um auf diese Weise die Bitleitungselektrode zu erzeugen.

[0042] Die Fig. 9A bis 9J veranschaulichen in schematischen Querschnittsansichten ein Verfahren zur Herstellung der Flash-Speicherzellen der zweiten erfindungsgemäßen Ausführungsform.

[0043] Fig. 9A veranschaulicht ein anfängliches Herstellungsstadium, bei dem ein vorzugsweise aus monokristallinem Silizium bestehendes Substrat 801 mit Störstellen eines ersten Leitfähigkeitstyps, z. B. Bor, dotiert wird. In gleicher Weise, wie oben zur ersten erfindungsgemäßen Ausführungsform beschrieben, wird ein aktiver Bereich gebildet. Auf dem Substrat wird eine vorzugsweise aus einer ONO-Schicht bestehende Ladungsspeicherschicht 820 gebildet. Auf dieser wird mit demselben Verfahren, wie oben zur ersten erfindungsgemäßen Ausführungsform beschrieben eine Steuergate-Elektrodenschicht 812 gebildet. Die ONO-Schicht braucht vor der Bildung der Steuergate-Elektrodenschicht 812 nicht strukturiert werden.

[0044] Fig. 9B zeigt ein nächstes Herstellungsstadium, bei dem auf der Steuergate-Elektrodenschicht 812 durch dasselbe Verfahren wie oben zur ersten erfindungsgemäßen Ausführungsform beschrieben temporäre Strukturen 824 erzeugt werden. Unter Verwendung der temporären Strukturen 824 als Implantationsmasken können bei Bedarf Störstellen, wie Arsen oder Phosphor, in eine Oberfläche des Substrats 801 implantiert werden, um die Dotierkonzentration des ersten Leitfähigkeitstyps, wie Bor, in diesem Oberflächenbereich herabzusetzen. Bei diesem Vorgang durchdringt die Implantation die Ladungsspeicherschicht 820 und die Steuergate-Elektrodenschicht 812. Diese Implantation vermag die Programmier-effizienz im Kanal während des Programmier-vorgangs zu steigern. Zusätzliche Störstellen, wie Arsen oder Phosphor, können bei Bedarf in die Steuergate-Elektrodenschicht 812 unter Verwendung der temporären Strukturen 824 als Implantationsmasken implantiert werden. Diese zusätzliche Implantation kann die Leitfähigkeit der Steuergate-Elektrodenschicht 812 erhöhen.

[0045] Im Herstellungsstadium von Fig. 9C wird in gleicher Weise wie oben zur ersten erfindungsgemäßen Ausführungsform beschrieben eine Gate-Maskenschicht 826 gebildet.

[0046] Im Herstellungsstadium von Fig. 9D wird die Gate-Maskenschicht 826 anisotrop geätzt, um Gate-Masken 826' auf der Steuergate-Elektrodenschicht 812 und an Seitenwänden der temporären Strukturen 824 zu erzeugen. Die Gate-Masken 826' erstrecken sich in Zeilenrichtung zu benachbarten Zellen. Anschließend werden die Ladungsspeicherschicht 820 und die Steuergate-Elektrodenschicht 812 unter Verwendung der Gate-Masken 826' und der temporären Strukturen 814 als Ätzmasken geätzt, wodurch das Substrat 801 im entsprechenden Bereich freigelegt und ein Source-Kontakt 850 erzeugt wird. Unter Verwendung desselben Verfahrens wie oben zur ersten erfindungsgemäßen Ausführungsform beschrieben wird ein Source-Bereich 802 gebildet. Optional kann ein Tempervorgang durchgeführt werden, um Störstellen des Source-Bereichs 802 zu aktivieren.

[0047] Im Herstellungsstadium der Fig. 9E werden source-seitige Abstandshalter 828 an Seitenwänden der Ladungsspeicherschicht 820 und der Steuergate-Elektrodenschicht 812 auf dieselbe Weise erzeugt, wie oben zur ersten erfindungsgemäßen Ausführungsform erläutert.

[0048] Im Herstellungsstadium von Fig. 9F wird unter

Verwendung des oben zur ersten erfindungsgemäßen Ausführungsform beschriebenen Verfahrens eine Source-Elektrode 830 im Source-Kontakt 850 gebildet.

[0049] Im Herstellungsstadium der Fig. 9G werden die temporären Strukturen 824 durch ein Trocken- oder ein Nassätzverfahren entfernt.

[0050] Im Herstellungsstadium der Fig. 9H werden die Ladungsspeicherschicht 820 und die Steuergate-Elektroden-schicht 812 erneut geätzt, wobei die Gate-Masken 826' und die Source-Elektrode 830 als Ätzmasken fungieren. Dadurch werden Steuergate-Elektroden 812' und Ladungsspeicherbereiche erzeugt, und ein entsprechender Teil des Substrats wird freigelegt. Während dieses Ätzvorgangs kann optional ein Teil der Source-Elektrode 830 geätzt werden, wodurch in dieser eine Ausnehmung erzeugt wird. Die Steuergate-Elektroden 812' und die Ladungsspeicherbereiche erstrecken sich in Zeilenrichtung zu benachbarten Zellen. Anschließend wird auf der resultierenden Struktur eine dielektrische Auswahlgate-Schicht 832 gebildet, bevorzugt aus CVD-Siliziumdioxid. Vor der Bildung der dielektrischen Auswahlgate-Schicht 832 kann optional eine dünne thermische Oxidschicht auf dem freigelegten Teil des Substrats gebildet werden.

[0051] Im Herstellungsstadium der Fig. 9I werden Auswahlgate-Elektroden 806 an Seitenwänden der Steuergate-Elektroden 812' und der Ladungsspeicherschichten 820 auf dieselbe Weise wie bei der oben beschriebenen ersten erfindungsgemäßen Ausführungsform erzeugt. Anschließend werden wie beim Verfahren des ersten erfindungsgemäßen Ausführungsbeispiels LDD-Bereiche 834 und Halo-Bereiche 836 erzeugt.

[0052] Im Herstellungsstadium der Fig. 9J werden mit demselben Verfahren wie beim ersten erfindungsgemäßen Ausführungsbeispiel LDD-Abstandshalter 840 an Seitenwänden der Auswahlgate-Elektroden 806 erzeugt. Unter Verwendung des Verfahrens des ersten erfindungsgemäßen Ausführungsbeispiels werden im Substrat 810 stark dotierte Bereiche 838 erzeugt. Der LDD-Bereich 834, der Halo-Bereich 836 und der stark dotierte Bereich 838 bilden einen Drain-Bereich.

[0053] Im Anschluss daran wird ein herkömmlicher Metallisierungsprozess durchgeführt, wie oben zum ersten erfindungsgemäßen Ausführungsbeispiel beschrieben.

[0054] Bei der ersten und zweiten erfindungsgemäßen Ausführungsform werden die Steuergate-Elektroden-schicht und die Ladungsspeicherschicht unter dem Schutz von abstandshalterförmigen Gate-Masken als Ätzmaste strukturiert. Dieses Strukturierungsverfahren kann auch zur Herstellung nichtflüchtiger Speicherzellen ohne Auswahlgate-Elektroden verwendet werden. In diesem Fall entfällt im Herstellungsstadium nach Fig. 7H für die erste Ausführungsform bzw. nach Fig. 9H für die zweite erfindungsgemäße Ausführungsform der Schritt zur Erzeugung der Auswahlgate-Elektrode. Es schließt sich dann gleich die Bildung der Drain-Bereiche im Substrat benachbart zum Ladungsspeicherbereich durch einen Ionenimplantationsvorgang an; bei dem die Gate-Masken und die Source-Elektrode als Implantationsmasken fungieren. Darauf folgt ein herkömmlicher Metallisierungsprozess. Auf diese Weise können Zellen hergestellt werden, die keine Auswahlgate-Elektrode aufweisen.

[0055] Erfindungsgemäß wird die Abstandshalterbildungstechnik mehrmals verwendet. Wie oben erläutert, umfasst eine allgemeine Abstandshalterbildungstechnik das Aufbringen einer Schicht auf einer Struktur mit einem Stufenunterschied und das anisotrope Ätzen der Schicht. Die endgültige Abstandshalterbreite ist durch die Dicke der aufgetragenen Schicht bestimmt. Je dicker die Schicht ist, umso

breiter ist der Abstandshalter. Dabei kann die Dicke der Schicht so gering gewählt sein, dass die Abstandshalterbreite so klein wird, dass sie unter einer photolithographischen Auflösungsgrenze liegt. Dadurch kann die Abmessung von erfindungsgemäßen Zellen, welche die Abstandshalterbildungstechnik benutzen, minimiert werden.

[0056] Wie zu Fig. 9A erläutert, braucht bei der zweiten erfindungsgemäßen Ausführungsform die ONO-Schicht vor der Bildung der Steuergate-Elektroden-schicht nicht strukturiert zu werden. In der ersten erfindungsgemäßen Ausführungsform sollte hingegen gemäß den Fig. 7A und 8A die floatende Gate-Elektroden-schicht vor der Bildung der dielektrischen Polysilizium-Zwischenschicht und der Steuergate-Elektroden-schicht strukturiert werden. Der Herstellungsprozess ist folglich für die zweite erfindungsgemäße Ausführungsform einfacher als für die erste erfindungsgemäße Ausführungsform. Dies wird dadurch ermöglicht, dass die ONO-Schicht nicht leitfähig ist, so dass in der ONO-Schicht eingefangene Ladungen nicht von einer Zelle zu einer anderen Zelle wandern.

#### Patentansprüche

1. Nichtflüchtiges Halbleiterspeicherbauelement mit einem Substrat (501), einem Ladungsspeicherbereich (514, 510', 516) über dem Substrat und einer Steuergate-Elektrode (512') über dem Ladungsspeicherbereich, **gekennzeichnet durch** eine Gate-Maske (526') in Form eines Abstandshalters über der Steuergate-Elektrode (512').
2. Nichtflüchtiges Halbleiterspeicherbauelement nach Anspruch 1, weiter gekennzeichnet durch folgende Elemente:  
eine Auswahlgate-Elektrode (506), die über dem Substrat und an einer Seitenwand des Ladungsspeicherbereichs gebildet ist, wobei der Ladungsspeicherbereich, die Steuergate-Elektrode, die Gate-Maske und die Auswahlgate-Elektrode eine erste Einheitszelle bilden, und einen leitfähigen Bereich (502), der über dem Substrat benachbart zu einer anderen Seitenwand des Ladungsspeicherbereichs gebildet ist.
3. Nichtflüchtiges Halbleiterspeicherbauelement nach Anspruch 2, weiter gekennzeichnet durch eine zur ersten Einheitszelle symmetrische und dieser gegenüberliegende zweite Einheitszelle, wobei sich die erste und die zweite Einheitszelle den leitfähigen Bereich (502) teilen.
4. Nichtflüchtiges Halbleiterspeicherbauelement nach Anspruch 2 oder 3, weiter dadurch gekennzeichnet, dass die erste Einheitszelle einen LDD-Abstandshalter (540) an einer Seitenwand der Auswahlgate-Elektrode aufweist.
5. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 2 bis 4, weiter gekennzeichnet durch folgende Elemente: einen Drain-Bereich (534, 536, 538), der im Substrat benachbart zur Auswahlgate-Elektrode und dem leitfähigen Bereich (502) gegenüberliegend ausgebildet ist, und eine elektrisch mit dem Drain-Bereich verbundene Bitleitungselektrode (544).
6. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 2 bis 5, weiter gekennzeichnet durch eine Source-Elektrode (530) auf dem leitfähigen Bereich (502), wobei die Source-Elektrode von der Steuergate-Elektrode durch einen source-seitigen Abstandshalter (528) elektrisch isoliert ist.
7. Nichtflüchtiges Halbleiterspeicherbauelement nach



einem der Ansprüche 2 bis 6, weiter dadurch gekennzeichnet, dass die Auswahlgate-Elektrode (506) eine Abstandshalterform besitzt.

8. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 7, weiter dadurch gekennzeichnet, dass der Ladungsspeicherbereich folgende Elemente umfasst:

eine dielektrische Schicht (514) für eine floatende Gate-Elektrode über dem Substrat, die floatende Gate-Elektrode (510') über der dielektrischen Schicht (514) und eine dielektrische Polysilizium-Zwischenschicht (516) über der floatenden Gate-Elektrode.

9. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 1 bis 7, weiter dadurch gekennzeichnet, dass der Ladungsspeicherbereich eine ONO-Schicht beinhaltet.

10. Nichtflüchtiges Halbleiterspeicherbauelement mit einem Substrat (501) mit einem Source-Bereich (502) und einem Drain-Bereich (534, 536, 538), einem Kanal zwischen dem Source- und dem Drain-Bereich, einem Ladungsspeicherbereich über dem Kanal und einer Steuergate-Elektrode (512') über dem Ladungsspeicherbereich, gekennzeichnet durch eine über dem Kanal und zwischen dem Ladungsspeicherbereich und dem Drain-Bereich angeordnete Auswahlgate-Elektrode (506), wobei der Ladungsspeicherbereich, der Kanal, der Drain-Bereich, die Steuergate-Elektrode und die Auswahlgate-Elektrode eine erste Einheitszelle bilden.

11. Nichtflüchtiges Halbleiterspeicherbauelement nach Anspruch 10, weiter dadurch gekennzeichnet, dass es eine zweite Einheitszelle symmetrisch und gegenüberliegend zur ersten Einheitszelle beinhaltet, wobei sich die erste Einheitszelle und die zweite Einheitszelle den Source-Bereich (502) teilen.

12. Nichtflüchtiges Halbleiterspeicherbauelement nach Anspruch 10 oder 11, weiter dadurch gekennzeichnet, dass die Auswahlgate-Elektrode (506) Abstandshalterform besitzt.

13. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 10 bis 12, weiter gekennzeichnet durch eine über der Steuergate-Elektrode gebildete Gate-Maske (526'), die Abstandshalterform besitzt.

14. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 10 bis 13, weiter gekennzeichnet durch einen LDD-Abstandshalter (540) an einer Seitenwand der Auswahlgate-Elektrode.

15. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 10 bis 14, weiter gekennzeichnet durch folgende Elemente:

eine Bitleitungselektrode (544), die mit dem Drain-Bereich verbunden ist, und eine Source-Elektrode (530) über dem Source-Bereich, die von der Steuergate-Elektrode durch einen source-seitigen Abstandshalter (528) elektrisch isoliert ist.

16. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 10 bis 15, weiter dadurch gekennzeichnet, dass der Ladungsspeicherbereich folgende Elemente umfasst:

eine dielektrische Schicht (514) für eine floatende Gate-Elektrode auf dem Substrat, die floatende Gate-Elektrode (510') auf der dielektrischen Schicht (514) und eine dielektrische Polysilizium-Zwischenschicht (516) auf der floatenden Gate-Elektrode.

17. Nichtflüchtiges Halbleiterspeicherbauelement nach einem der Ansprüche 10 bis 15, weiter dadurch gekennzeichnet, dass der Ladungsspeicherbereich eine ONO-Schicht beinhaltet.

18. Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeicherbauelementes, gekennzeichnet durch folgende Schritte:

Bilden einer Ladungsspeicherschicht (512) auf einem Substrat (501),

Bilden einer Steuergate-Elektrodenschicht (512) auf der Ladungsspeicherschicht,

Bilden einer Gate-Maske (526') mit Abstandshalterform auf der Steuergate-Elektrodenschicht und bereichsweises Entfernen der Ladungsspeicherschicht und der Steuergate-Elektrodenschicht, wobei ein jeweiliger Teil derselben durch die Gate-Maske geschützt wird, um eine Steuergate-Elektrode (512') und einen Ladungsspeicherbereich zu bilden.

19. Verfahren nach Anspruch 18, wobei die Bildung der Gate-Maske folgende Schritte beinhaltet:

Bilden einer temporären Struktur (524) auf der Steuergate-Elektrodenschicht,

Bilden einer Gate-Maskenschicht (526) auf der temporären Struktur und der Steuergate-Elektrodenschicht und

Entfernen eines Teils der Gate-Maskenschicht zur Bildung der Gate-Maske an einer Seitenwand der temporären Struktur.

20. Verfahren nach Anspruch 19, weiter dadurch gekennzeichnet, dass das Entfernen der Ladungsspeicherschicht und der Steuergate-Elektrodenschicht folgende Schritte umfasst:

Ätzen der Ladungsspeicherschicht und der Steuergate-Elektrodenschicht unter Verwendung der Gate-Maske und der temporären Struktur als Ätzmaske zum Schützen eines unter der Gate-Maske und der temporären Struktur verbleibenden Teils der Ladungsspeicherschicht und der Steuergate-Elektrodenschicht,

Entfernen der temporären Struktur und

Ätzen des verbliebenen Teils der Ladungsspeicherschicht und der Steuergate-Elektrodenschicht unter Verwendung der Gate-Maske als Ätzmaske, um unter der Gate-Maske die Steuergate-Elektrode und den Ladungsspeicherbereich zu erzeugen.

21. Verfahren nach einem der Ansprüche 18 bis 20, weiter gekennzeichnet durch folgende Schritte:

Bilden eines Source-Bereichs (502) im Substrat in Projektion benachbart zu einer Seitenwand der Steuergate-Elektrode, Bilden eines source-seitigen Abstandshalters (528) an den Seitenwänden der Steuergate-Elektrode und des Ladungsspeicherbereichs und

Bilden einer Source-Elektrode (530) über dem Source-Bereich, die von der Steuergate-Elektrode und dem Ladungsspeicherbereich durch den source-seitigen Abstandshalter isoliert ist.

22. Verfahren nach einem der Ansprüche 18 bis 21, weiter gekennzeichnet durch das Bilden einer Auswahlgate-Elektrode (506) an einer Seitenwand des Ladungsspeicherbereichs.

23. Verfahren nach Anspruch 22, weiter dadurch gekennzeichnet, dass die Auswahlgate-Elektrode in Abstandshalterform gebildet wird.

24. Verfahren nach Anspruch 22 oder 23, weiter gekennzeichnet durch:

Bilden eines LDD-Bereichs (534) im Substrat unter Verwendung der Auswahlgate-Elektrode als LDD-Implantationsmaske und

Bilden eines LDD-Abstandshalters (540) an einer Sei-



tenwand der Auswahlgate-Elektrode.

25. Verfahren nach einem der Ansprüche 18 bis 24, weiter dadurch gekennzeichnet, dass die Bildung der Ladungsspeicherschicht folgende Schritte beinhaltet:

Bilden einer dielektrischen Schicht (514) für eine floatende Gate-Elektrode auf dem Substrat,

Bilden einer floatenden Gate-Elektrodenschicht (510) auf der dielektrischen Schicht und

Bilden einer dielektrischen Polysilizium-Zwischenschicht (516) auf der floatenden Gate-Elektrodenschicht.

26. Verfahren nach einem der Ansprüche 18 bis 24, weiter dadurch gekennzeichnet, dass die Bildung der Ladungsspeicherschicht das Bilden einer ONO-Schicht auf dem Substrat umfasst.

Hierzu 19 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

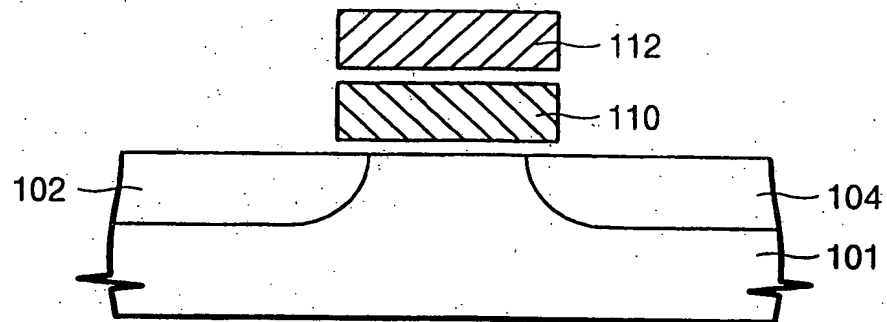
60

65

- Leerseite -

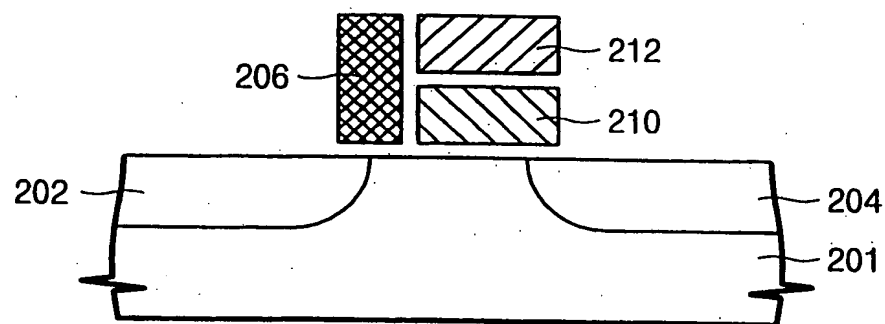
# Fig. 1

(Stand der Technik)



# Fig. 2

(Stand der Technik)



# Fig. 3

(Stand der Technik)

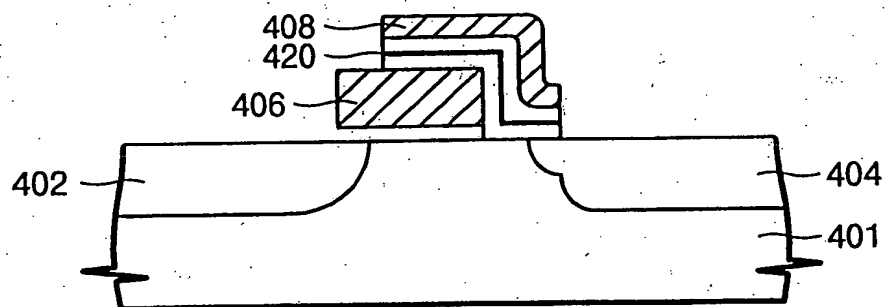


Fig. 4

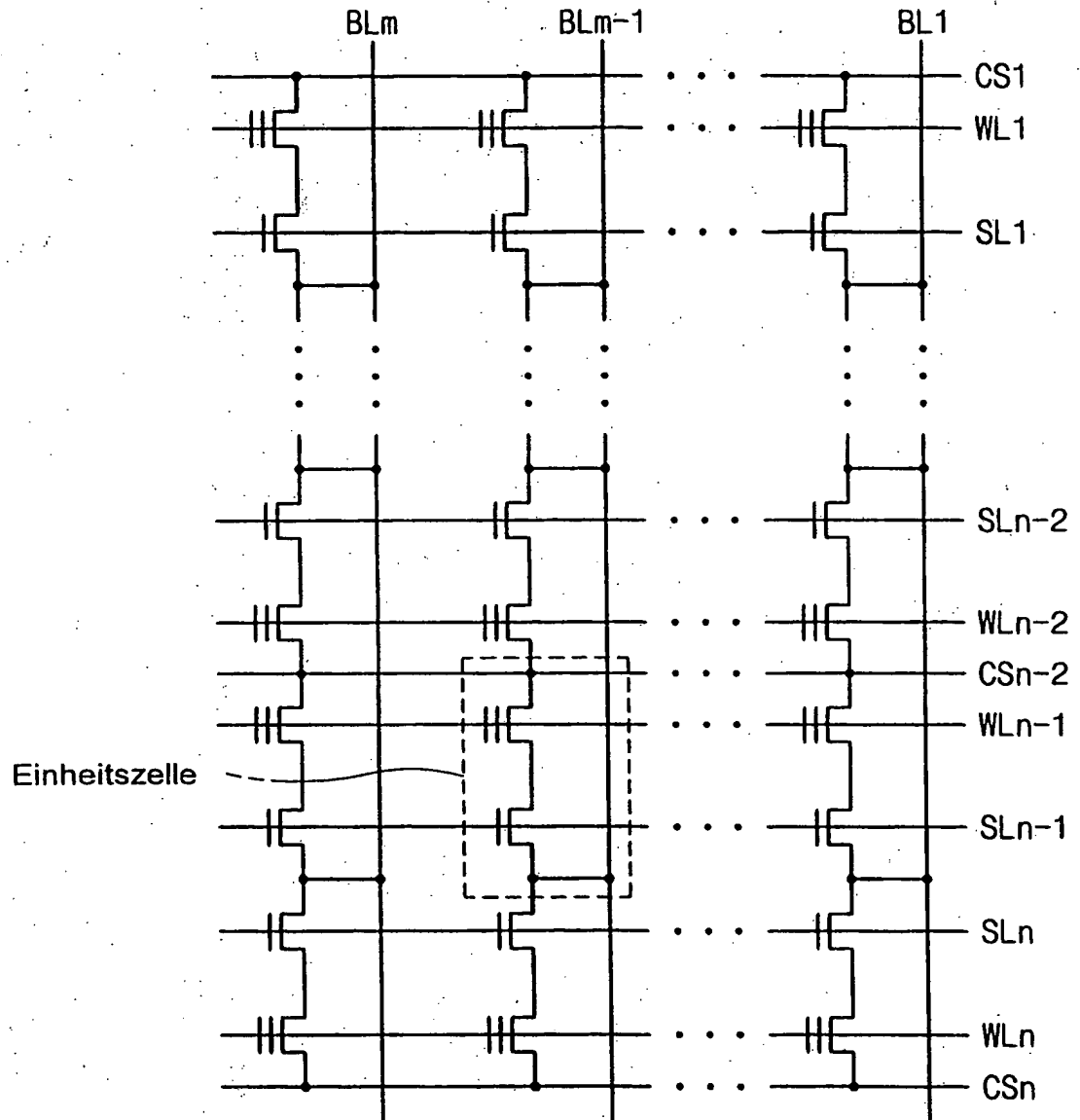


Fig. 5

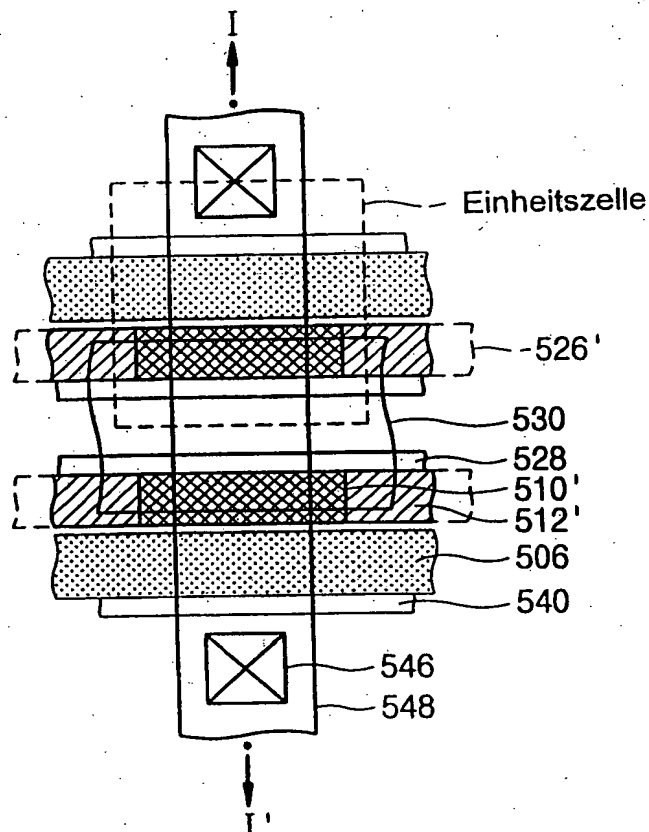


Fig. 6

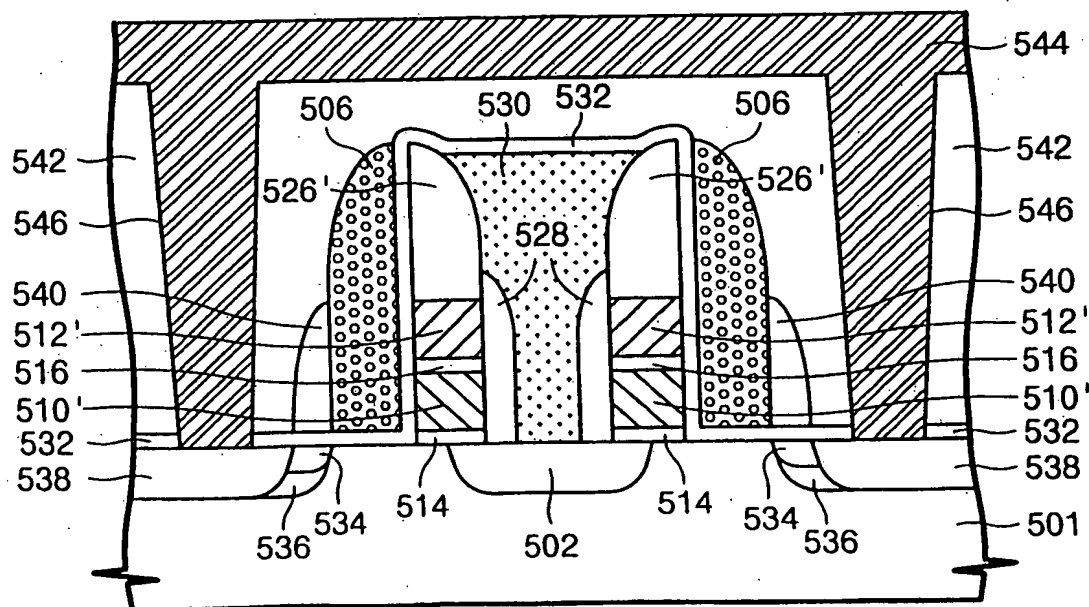


Fig. 7A

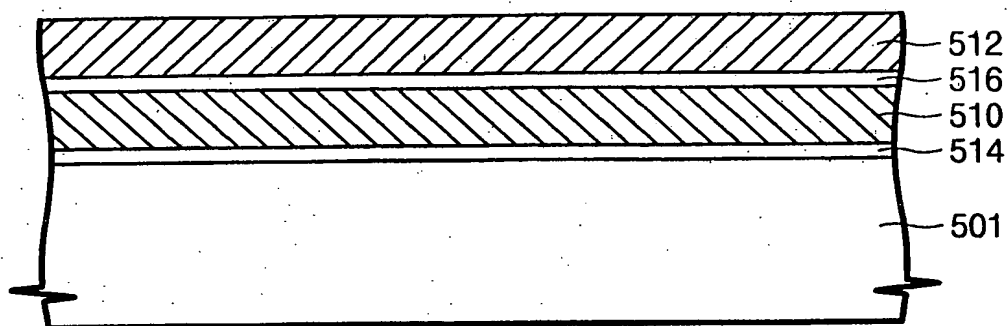


Fig. 7B

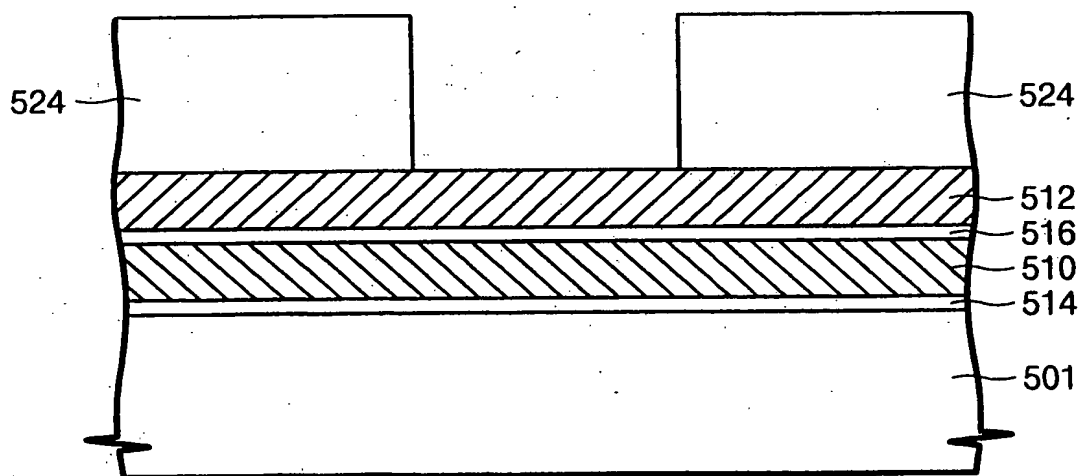




Fig. 7C

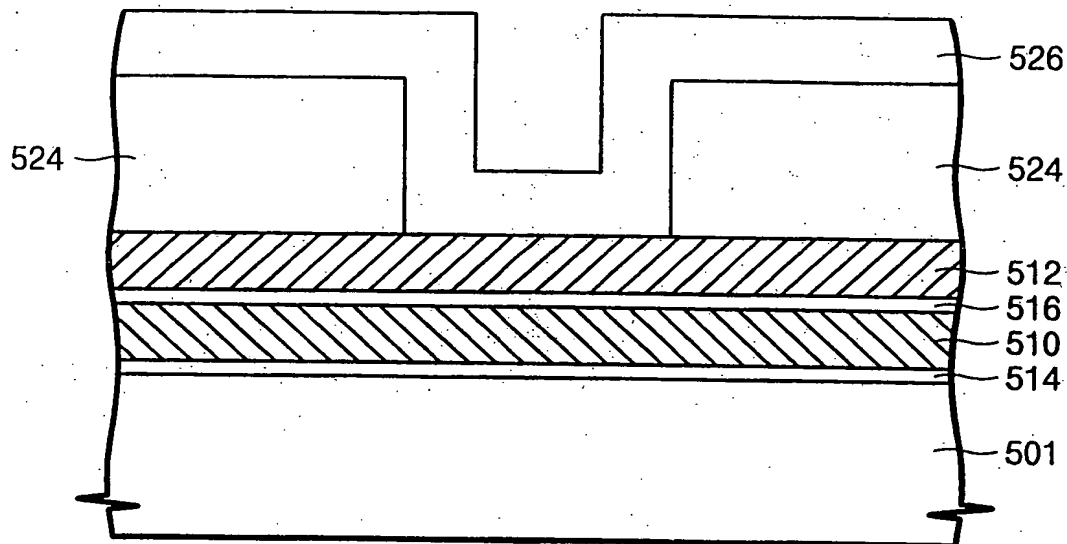


Fig. 7D

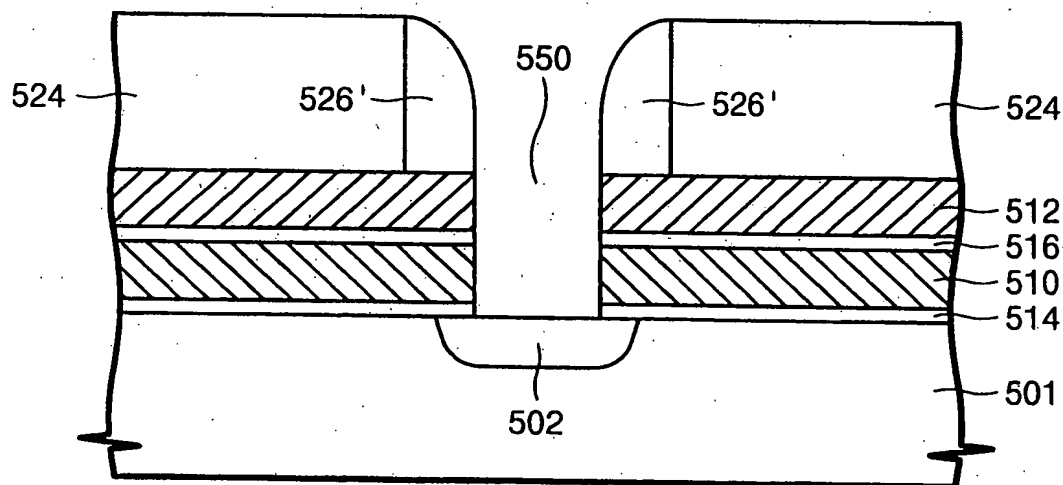


Fig. 7E

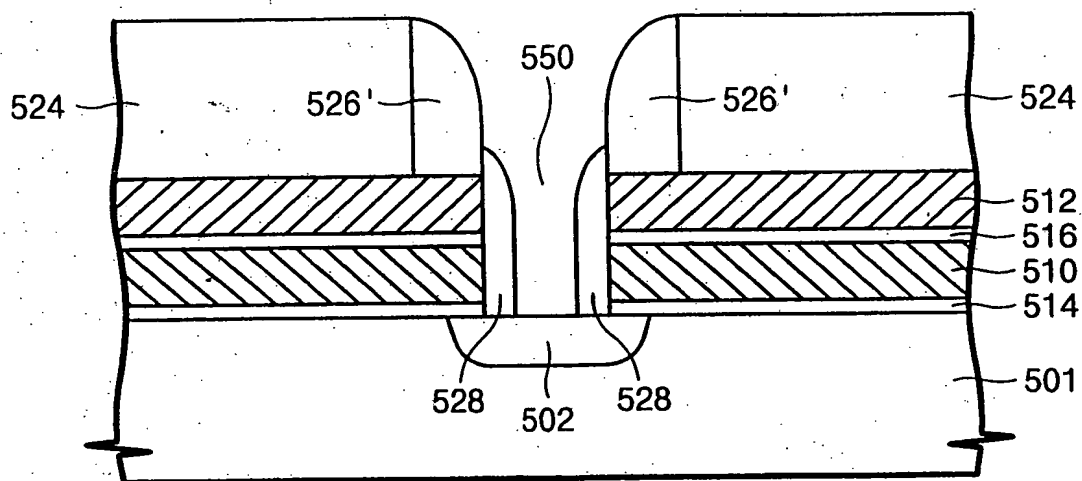


Fig. 7F

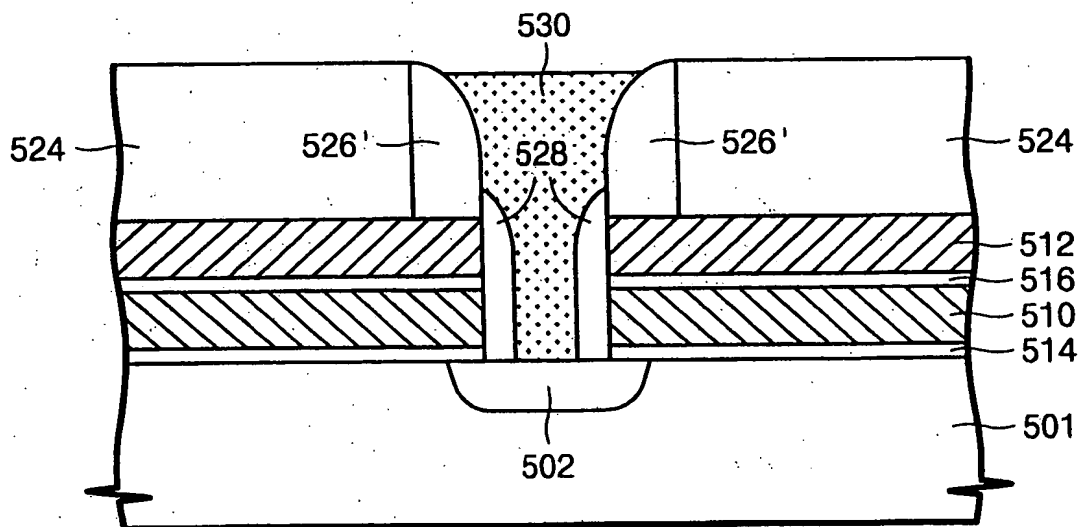


Fig. 7G

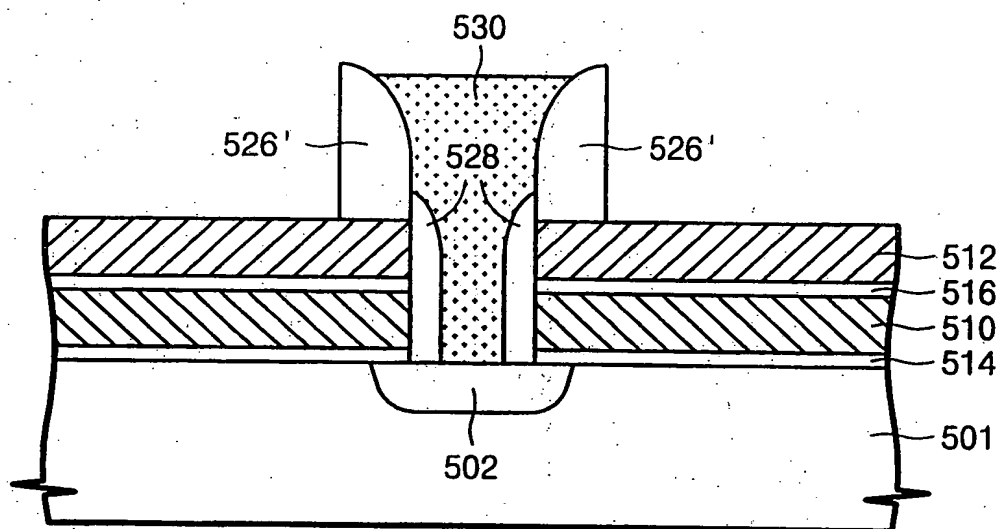


Fig. 7H

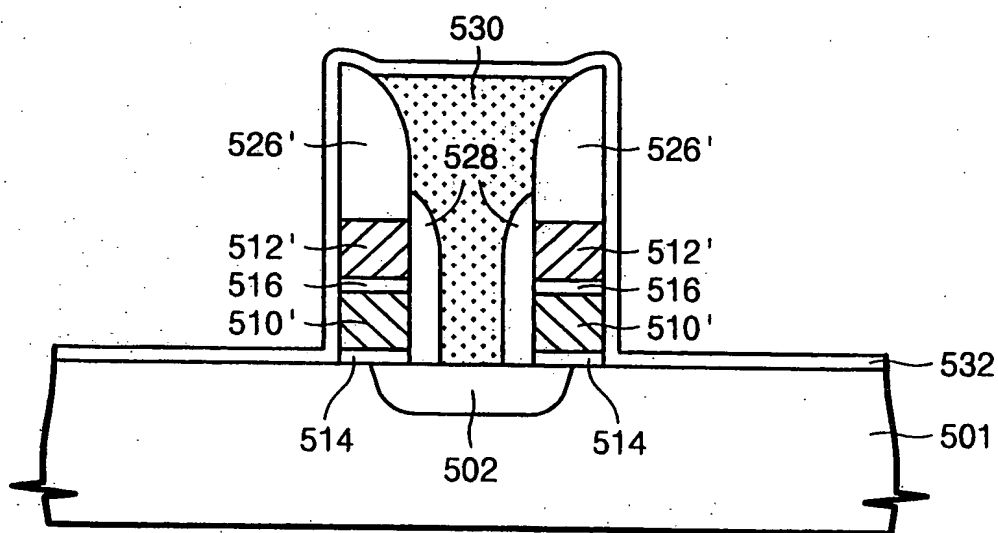


Fig. 7I

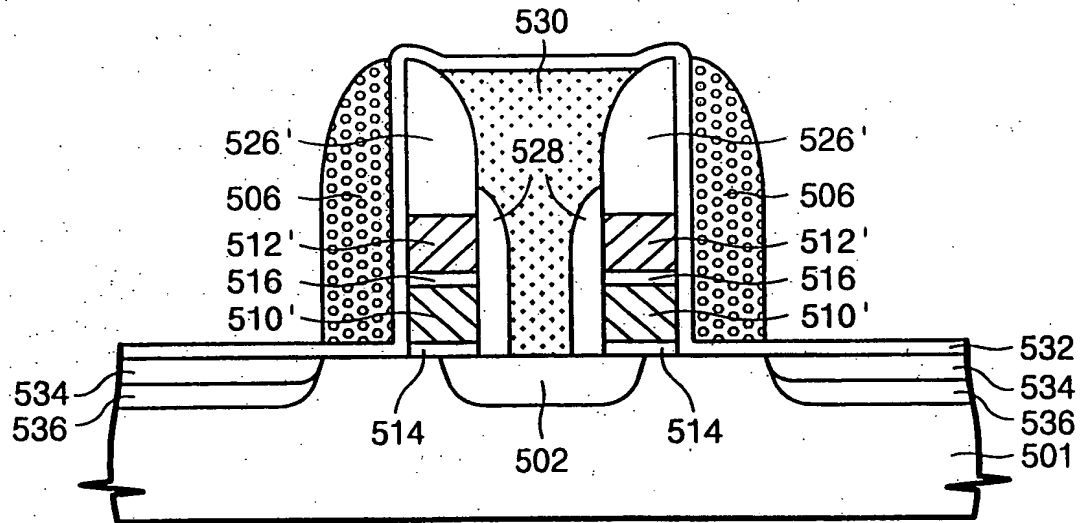


Fig. 7J

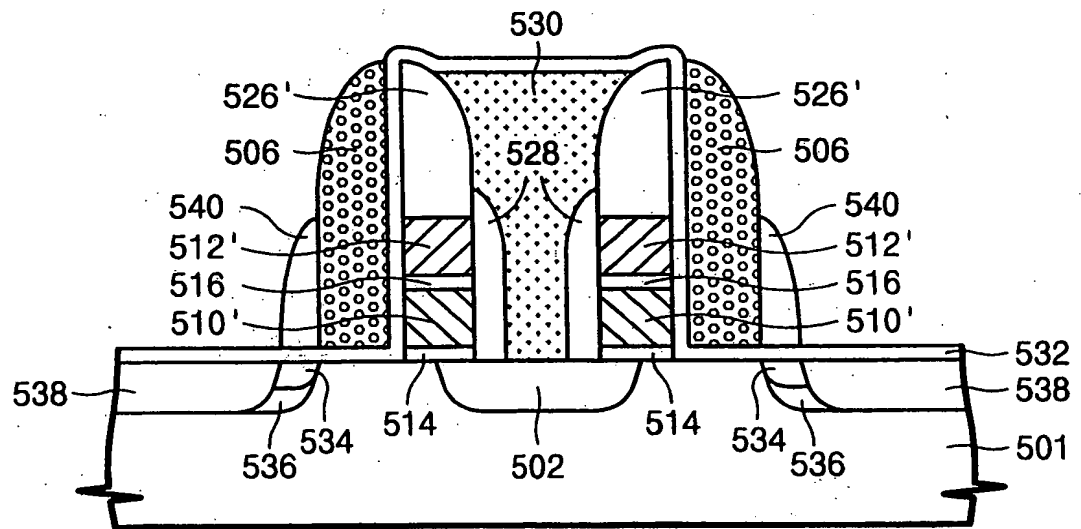


Fig. 8A

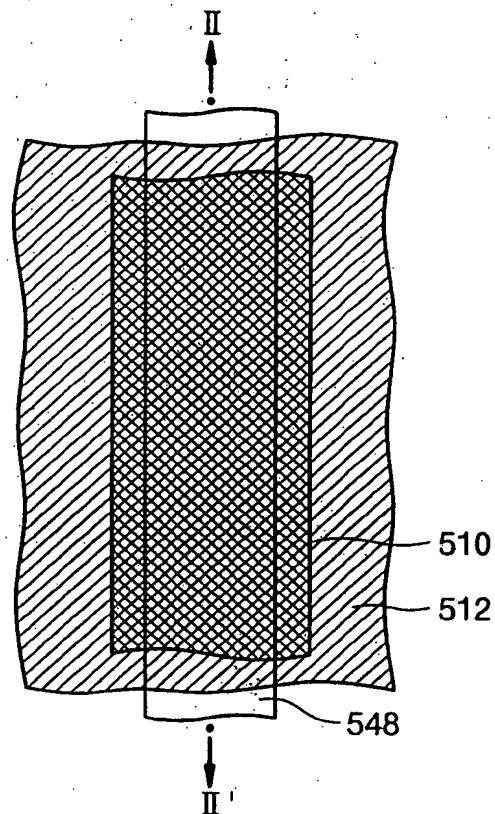


Fig. 8B

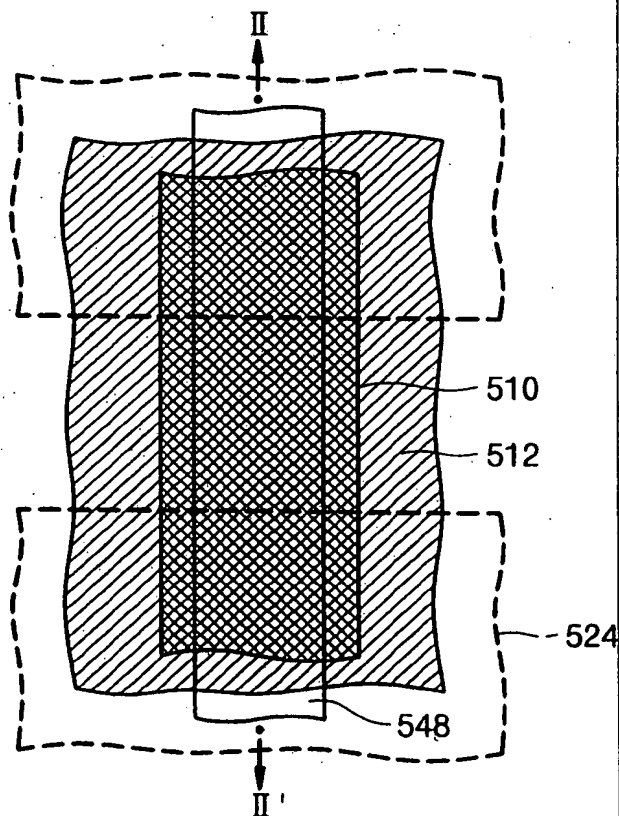


Fig. 8C

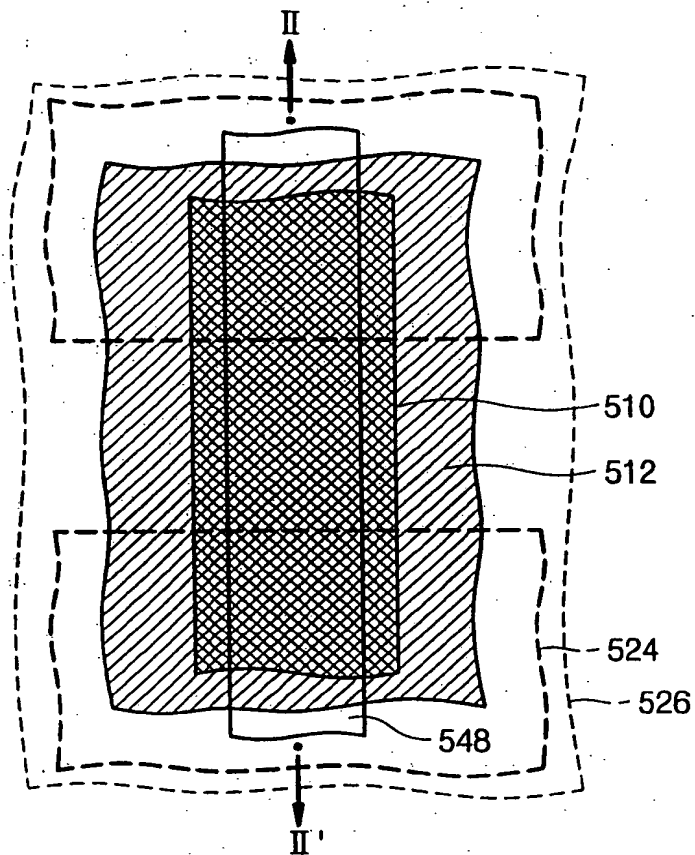


Fig. 8D

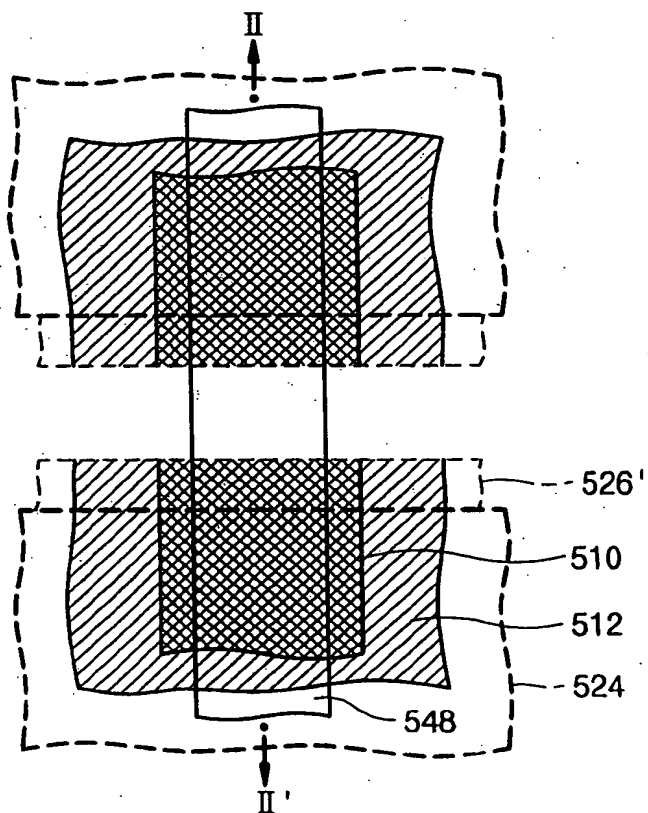


Fig. 8E

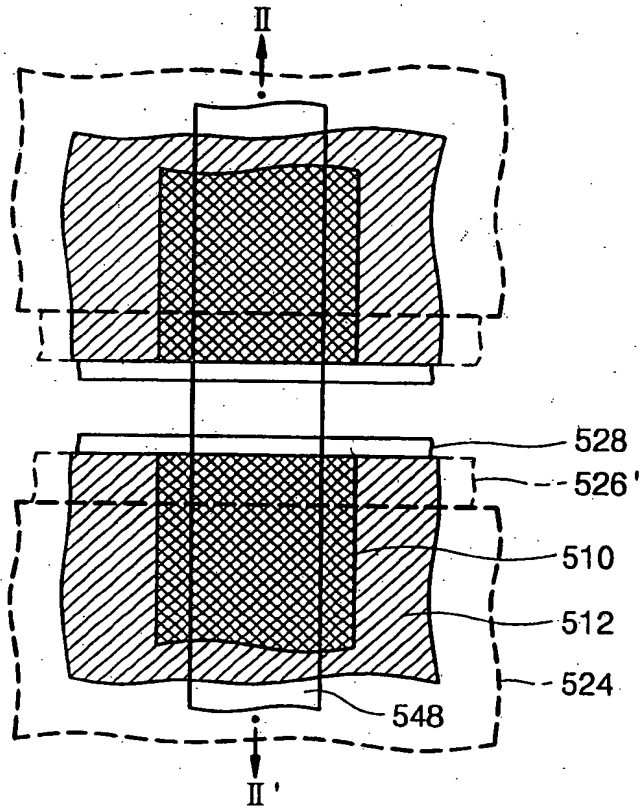


Fig. 8F

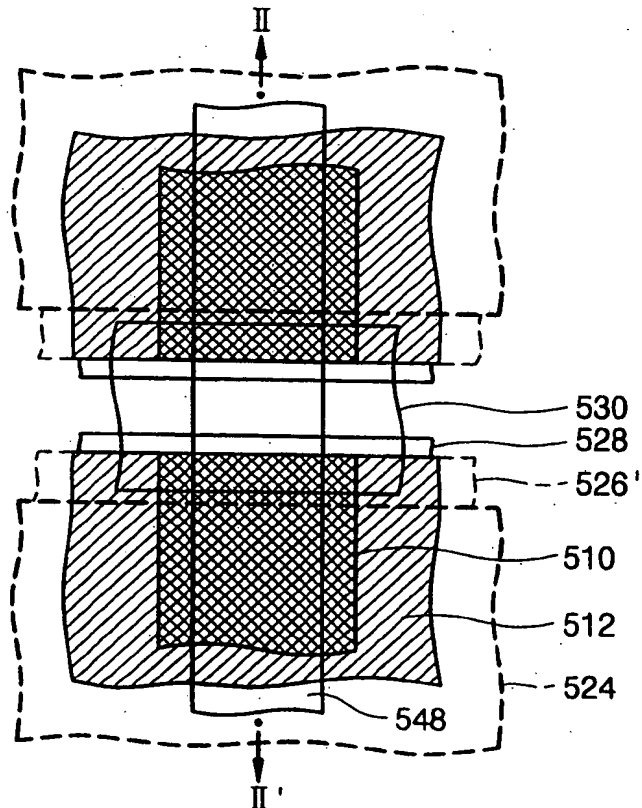




Fig. 8G

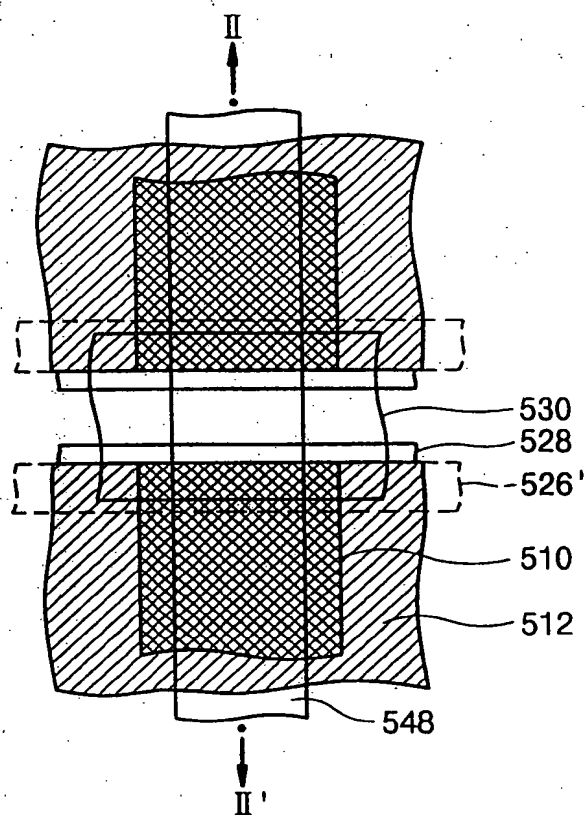


Fig. 8H

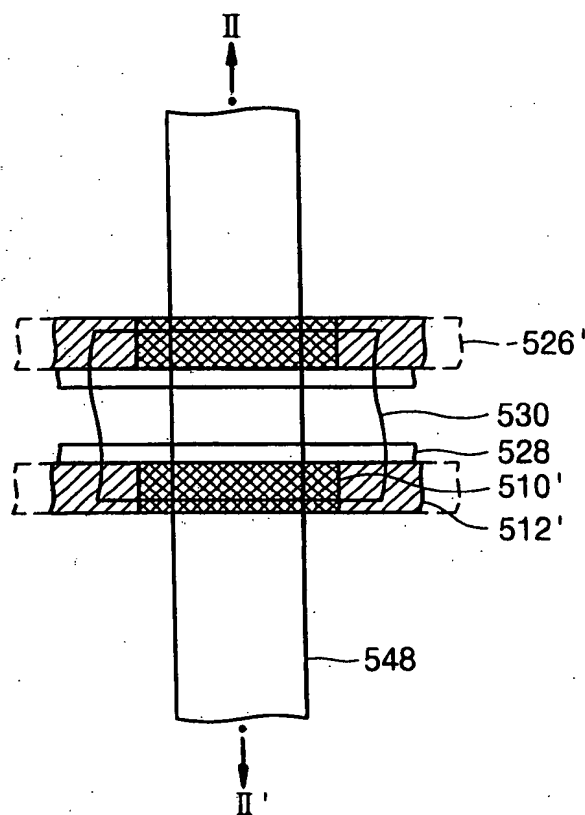


Fig. 8I

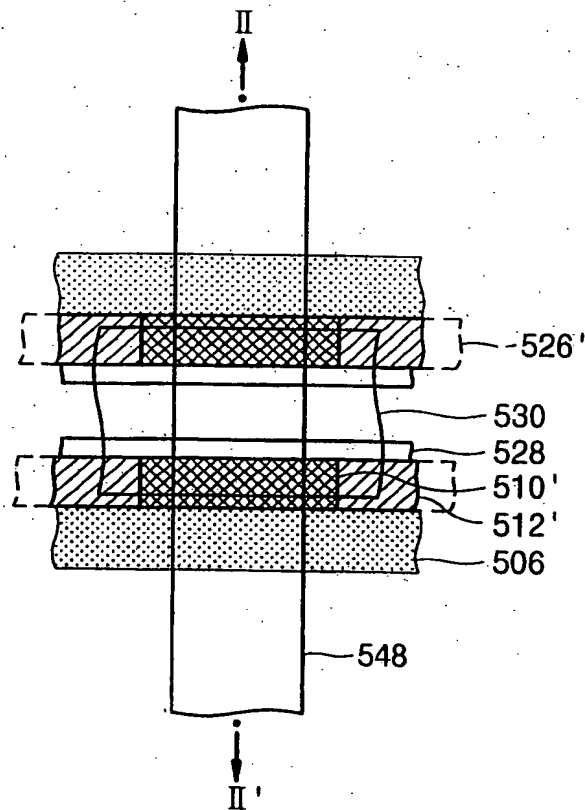


Fig. 8J

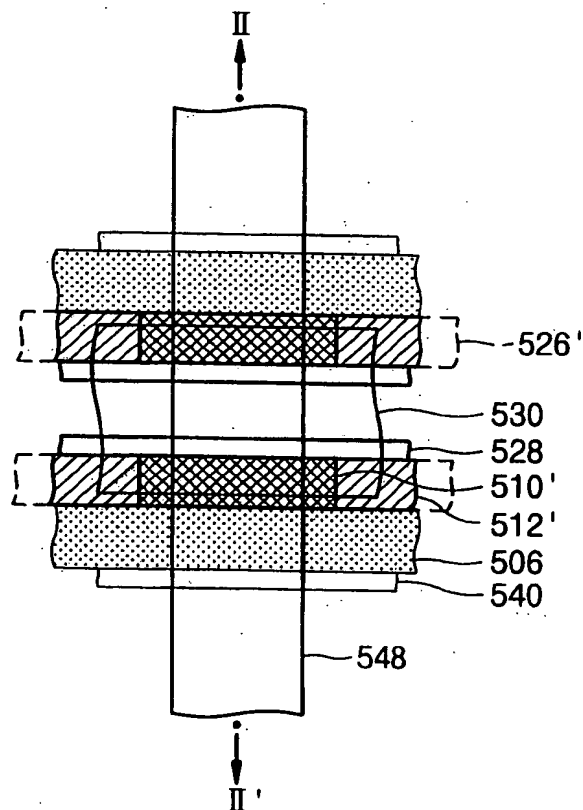


Fig. 9A

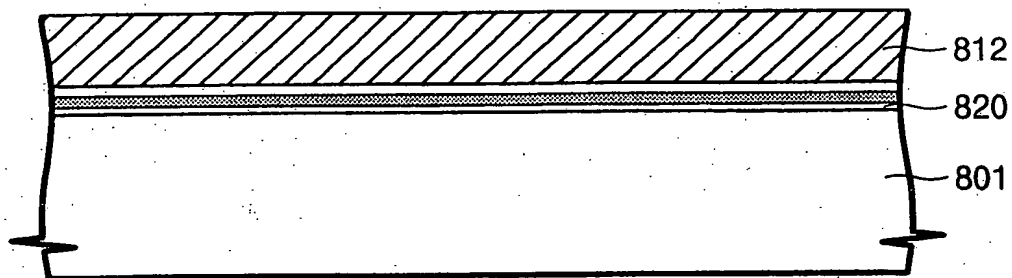


Fig. 9B

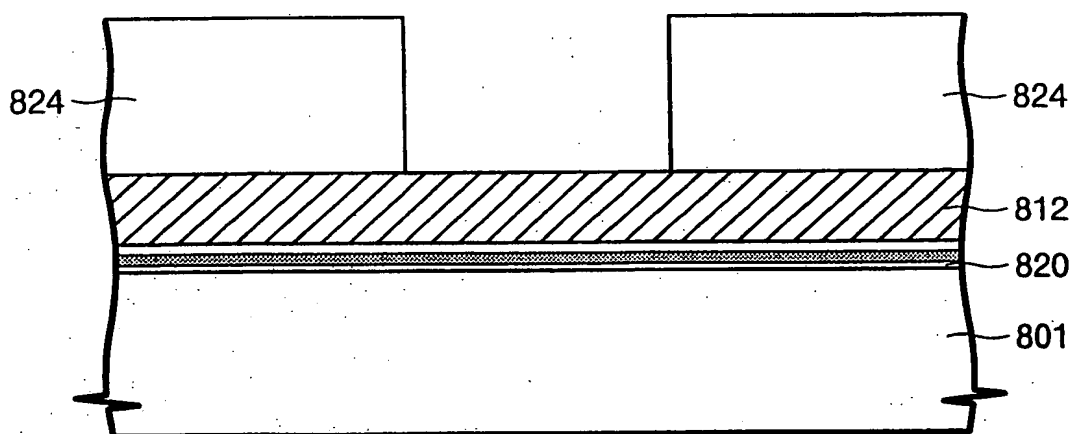


Fig. 9C

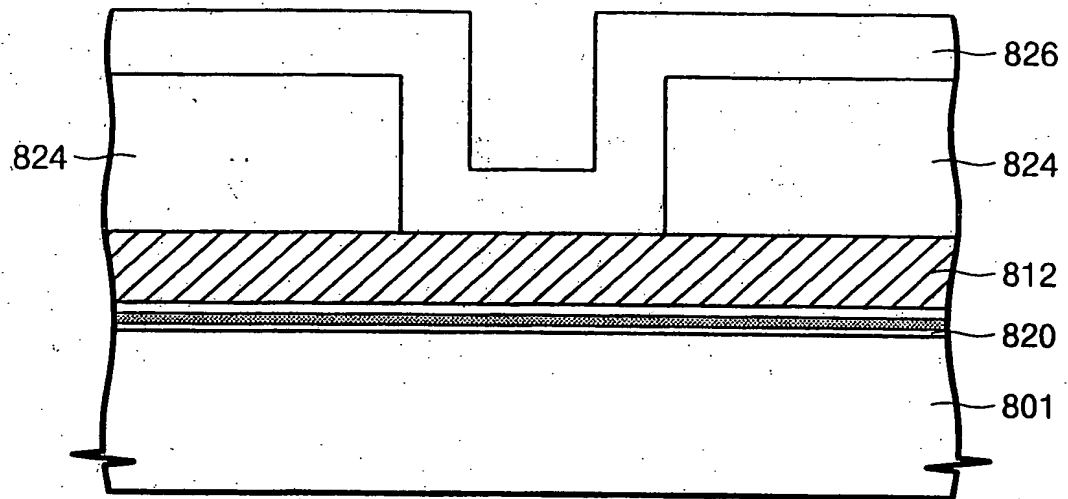


Fig. 9D

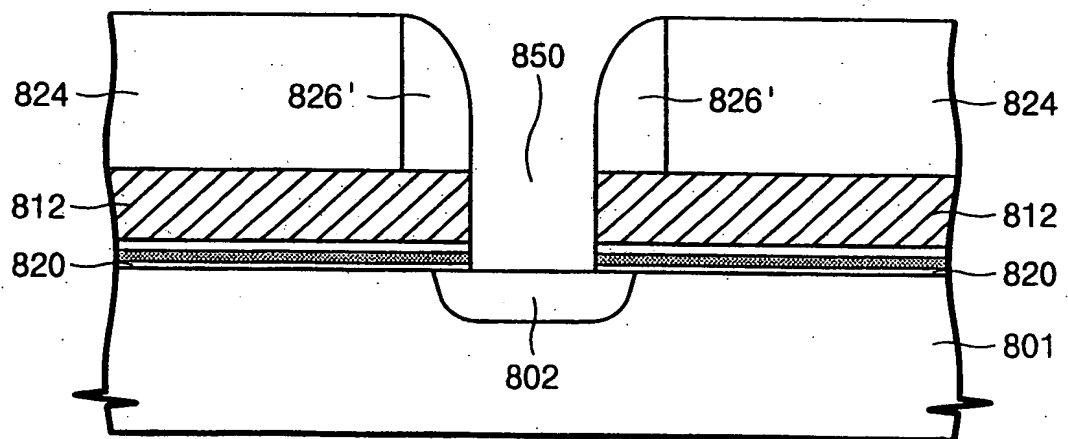


Fig. 9E

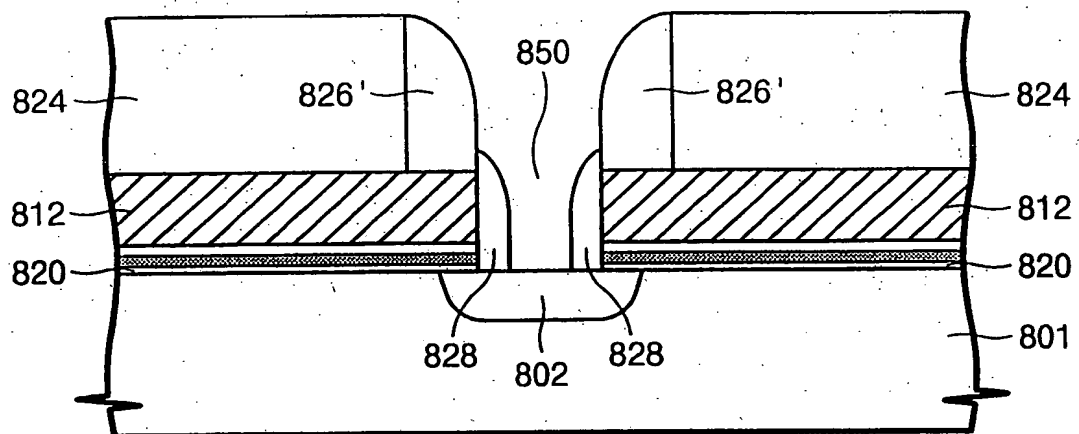


Fig. 9F

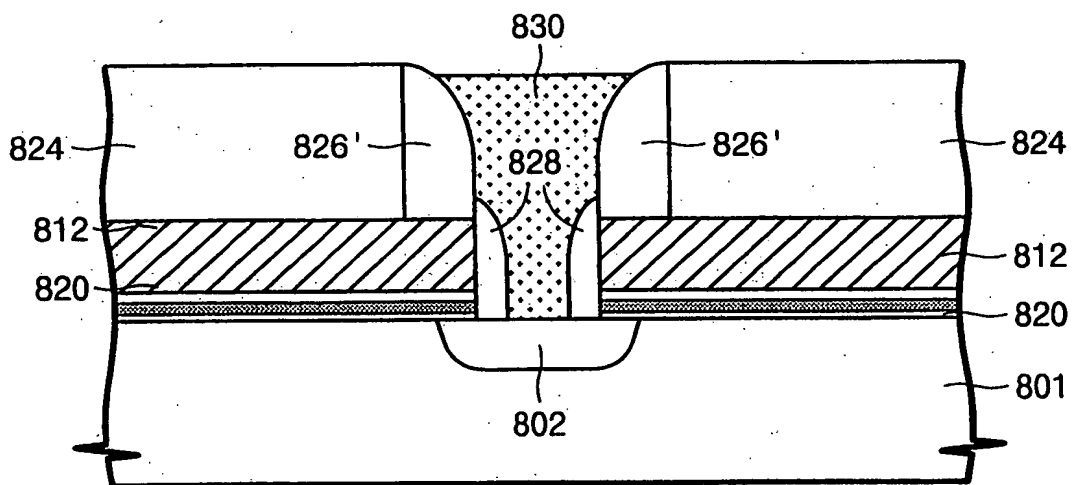


Fig. 9G

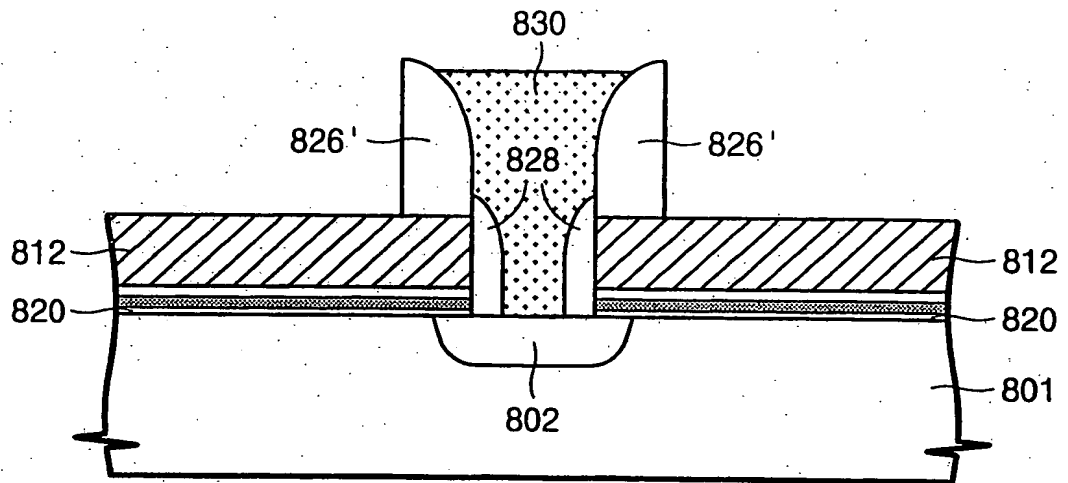


Fig. 9H

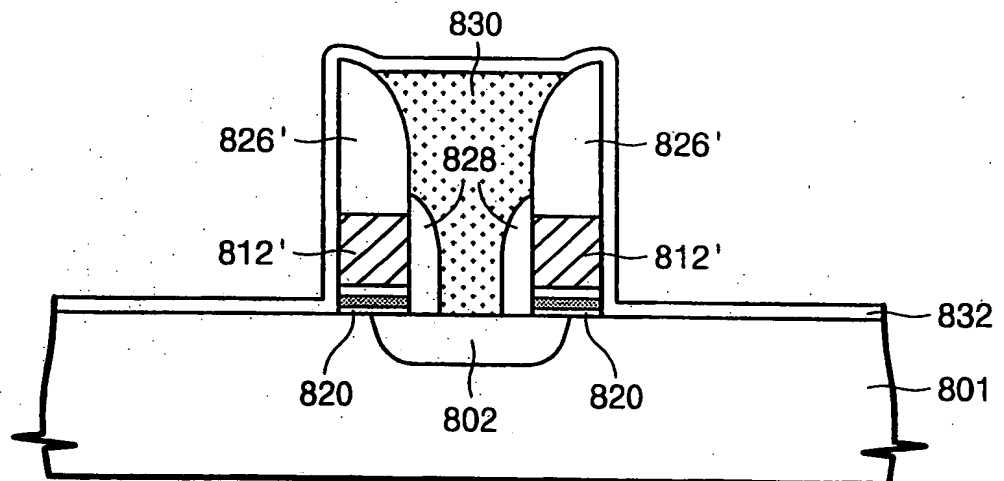


Fig. 9I

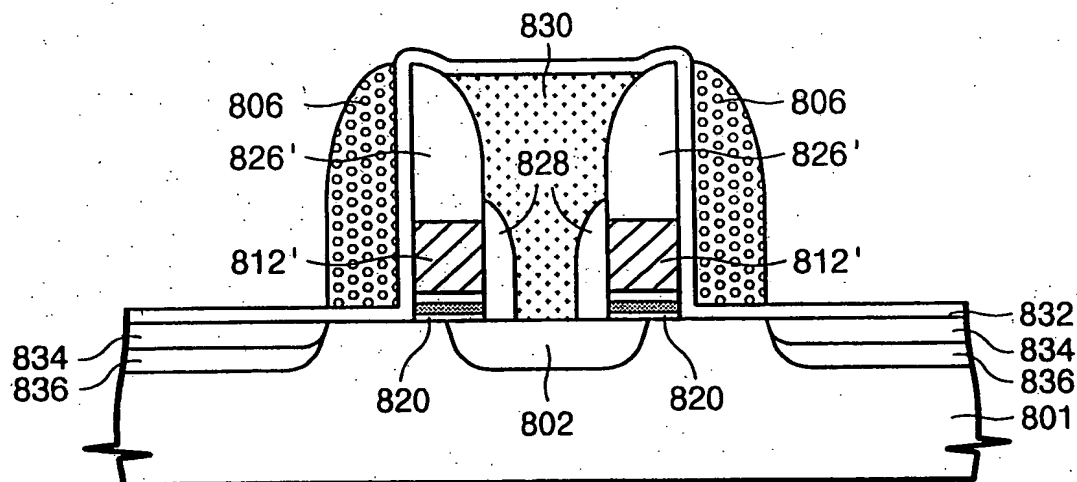
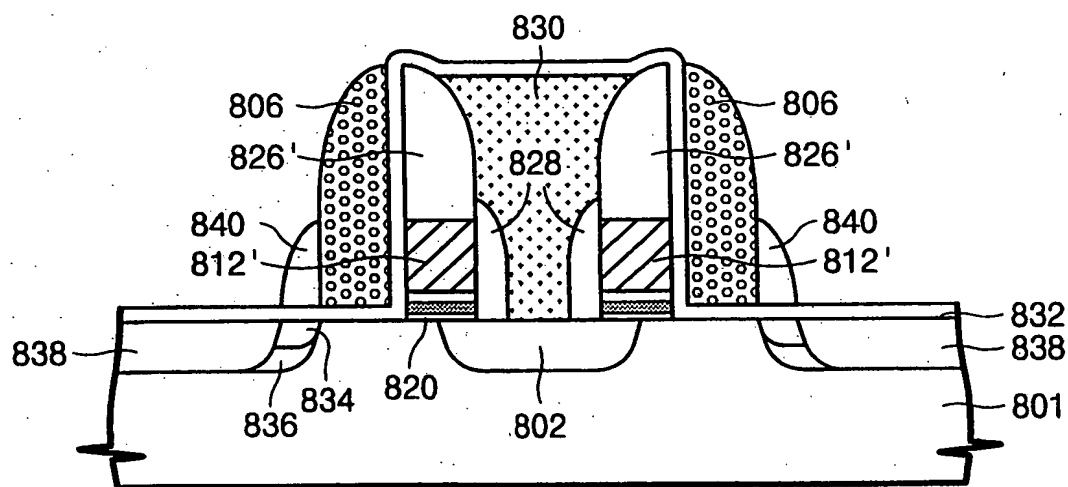


Fig. 9J





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**